

US



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 4 月 2 5 日

出 願 番 号  
Application Number: 特 願 2 0 0 3 - 1 2 1 4 8 0  
[ST. 10/C]: [ J P 2 0 0 3 - 1 2 1 4 8 0 ]

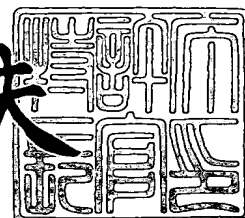
出 願 人  
Applicant(s): N E C エレクトロニクス株式会社  
N E C マイクロシステム株式会社



2 0 0 4 年 3 月 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 5 5 1 3

【書類名】 特許願

【整理番号】 74520004

【提出日】 平成15年 4月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 19/0175  
H03K 19/003  
H03K 19/0944

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内

【氏名】 北澤 元泰

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町 1 丁目 4 0 3 番 5 3 エヌイーシーマイクロシステム株式会社内

【氏名】 鈴木 康文

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町 1 丁目 4 0 3 番 5 3 エヌイーシーマイクロシステム株式会社内

【氏名】 富田 泰弘

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【特許出願人】

【識別番号】 000232036

【氏名又は名称】 エヌイーシーマイクロシステム株式会社

## 【代理人】

【識別番号】 100080816

## 【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

## 【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216557

【包括委任状番号】 9722617

【プルーフの要否】 要

【書類名】 明細書  
【発明の名称】 半導体装置  
【特許請求の範囲】

【請求項 1】

出力段に、プルアップ駆動用の第 1 のトランジスタとプルダウン駆動用の第 2 のトランジスタとを少なくとも備え、制御信号がイネーブル状態を表す値のときにデータ信号に応じて出力を高レベル又は低レベルとし、前記制御信号がディスエーブル状態を表す値のときには前記第 1 及び第 2 のトランジスタをオフとして出力を高インピーダンス状態とするトライステートバッファ回路を有する半導体装置において、

前記制御信号のイネーブル状態からディスエーブル状態への切り替え時に、前記第 1 のトランジスタのオン状態からオフ状態への遷移を速めるように制御する制御手段を備えている、ことを特徴とする半導体装置。

【請求項 2】

前記制御手段は、前記制御信号がイネーブル状態を表す値のときに、前記第 1 のトランジスタのオン・オフを決定する信号が前記第 1 のトランジスタのオンを示すレベルである場合に、前記制御信号のイネーブル状態からディスエーブル状態への切り替え時に、前記第 1 のトランジスタのオン・オフを決定する信号が、前記第 1 のトランジスタをオフさせるレベルとなるまでの時間を、速めるように制御する回路を備えている、ことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記データ信号と前記制御信号とを入力として受け取り、前記第 1 のトランジスタのオン及びオフを制御する第 1 の信号を出力する論理回路と、

前記制御信号がイネーブル状態を表す値のときにオン状態とされ、前記論理回路から出力される前記第 1 の信号を受けて前記第 1 のトランジスタの制御端子に伝達し、一方、前記制御信号がディスエーブル状態を表す値のときに、オフ状態とされる第 3 のトランジスタを含むトランSMミッションゲートと、

をさらに備え、

前記制御手段が、前記制御信号を受け、前記制御信号のイネーブル状態からデ

イスエーブル状態への切り替え時に、前記トランスミッションゲートの前記第 3 のトランジスタがオン状態からオフ状態に切り替わるタイミングを遅らせる回路を備え、

前記制御信号のイネーブル状態からデイスエーブル状態への切り替え時に、前記第 3 のトランジスタがオン状態とされている期間、前記トランスミッションゲートは、前記論理回路から出力される、前記第 1 のトランジスタをオフとする前記第 1 の信号のレベルを、前記第 1 のトランジスタの制御端子に伝達することで、前記第 1 のトランジスタのオン状態からオフ状態への遷移を速める、ことを特徴とする請求項 1 記載の半導体装置。

#### 【請求項 4】

前記制御手段が、前記制御信号を受け、前記制御信号のイネーブル状態からデイスエーブル状態への切り替え時に、前記第 1 のトランジスタの制御端子と電源との間のパスを導通させ、前記第 1 のトランジスタの制御端子を、前記第 1 のトランジスタをオフ状態とする電圧に設定する回路を備えている、ことを特徴とする請求項 1 乃至 3 のいずれか一に記載の半導体装置。

#### 【請求項 5】

前記制御信号と前記データ信号とを入力として受け取り、前記第 1 のトランジスタのオン及びオフを制御する第 1 の信号を出力する第 1 の論理回路と、

前記第 1 の論理回路の出力端子と、前記第 1 のトランジスタの制御端子との間に挿入されているトランスミッションゲートと、

をさらに備え、

前記第 1 の論理回路は、前記制御信号がイネーブル状態を示す値であり、且つ、前記データ信号が第 1 の論理値のとき、前記第 1 の信号として第 2 の論理値を出力し、前記制御信号がデイスエーブル状態を示す値のときには、前記第 1 の信号として前記データ信号の値によらず第 1 の論理値を出力し、

前記第 1 のトランジスタは、前記第 1 のトランジスタの制御端子が第 2 の論理値及び第 1 の論理値のときにそれぞれオン及びオフし、

前記トランスミッションゲートは、前記制御信号がイネーブル状態のときオンに制御される第 3 のトランジスタを有し、

前記制御手段が、前記制御信号を入力し、前記制御信号のイネーブル状態からディスエーブル状態への遷移のタイミングを遅らせた第 2 の制御信号を出力するタイミング調整回路を備え、

前記タイミング調整回路から出力される前記第 2 の制御信号のイネーブル状態からディスエーブル状態への遷移に基づき、前記トランسمッションゲートの前記第 3 のトランジスタがオン状態からオフ状態に切り替えられる、ことを特徴とする請求項 1 記載の半導体装置。

**【請求項 6】**

前記タイミング調整回路が、入力した前記制御信号を所定時間遅延させて出力する遅延回路を含む、ことを特徴とする請求項 5 記載の半導体装置。

**【請求項 7】**

前記タイミング調整回路が、前記制御信号を受けて所定時間遅延させて出力する遅延回路と、

前記制御信号と、前記遅延回路の出力信号とを入力し、前記制御信号のイネーブル状態からディスエーブル状態への遷移を所定時間遅延させた信号を前記第 2 の制御信号として出力する論理回路と、

を備えている、ことを特徴とする請求項 5 記載の半導体装置。

**【請求項 8】**

前記制御信号と前記データ信号とを入力として受け取り、前記第 1 のトランジスタのオン及びオフを制御する第 1 の信号を出力する第 1 の論理回路と、

前記第 1 の論理回路の出力端子と、前記第 1 のトランジスタの制御端子との間に挿入されているトランسمッションゲートと、

をさらに備え、

前記第 1 の論理回路は、前記制御信号がイネーブル状態を示す値であり、且つ、前記データ信号が第 1 の論理値のとき、前記第 1 の信号として第 2 の論理値を出力し、前記制御信号がディスエーブル状態を示す値のときには、前記第 1 の信号として前記データ信号の値によらず第 1 の論理値を出力し、

前記第 1 のトランジスタは、前記第 1 のトランジスタの制御端子の電位が第 2 の論理値、及び第 1 の論理値のときにそれぞれオン及びオフし、

前記トランスミッションゲートは、前記制御信号がイネーブル状態のときオンに制御される第 3 のトランジスタを有し、

前記制御手段が、前記第 1 のトランジスタの制御端子と電源間に接続され、前記制御信号がイネーブル状態を表す値のとき、前記電源と前記第 1 のトランジスタの制御端子ノード間のパスを非導通とし、前記制御信号がディスエーブル状態を表す値のときには、前記電源と前記第 1 のトランジスタの制御端子ノード間のパスを導通状態として、前記第 1 のトランジスタの制御端子の電圧を前記第 1 のトランジスタをオフするレベルに設定する制御回路を備えている、ことを特徴とする請求項 1 記載の半導体装置。

#### 【請求項 9】

前記制御手段が、前記第 1 のトランジスタの制御端子と電源間に接続され、前記制御信号がイネーブル状態を表す値のとき、前記電源と前記第 1 のトランジスタの制御端子ノード間のパスを非導通とし、前記制御信号がディスエーブル状態を表す値のときには、前記電源と前記第 1 のトランジスタの制御端子ノード間のパスを導通状態として、前記第 1 のトランジスタの制御端子の電圧を、前記第 1 のトランジスタがオフするレベルに設定する制御回路をさらに備えている、ことを特徴とする請求項 5 記載の半導体装置。

#### 【請求項 10】

前記制御信号と前記データ信号とを入力として受け取り、前記第 2 のトランジスタのオン及びオフを制御する第 2 の信号を出力する第 2 の論理回路を備え、

前記第 2 の論理回路の出力端子は、前記第 2 のトランジスタの制御端子に接続され、

前記第 2 の論理回路は、前記制御信号がイネーブル状態を示し、且つ、前記データ信号が、第 1 の論理値及び第 2 の論理値をとるとき、前記第 2 のトランジスタをオフ及びオンさせる値の出力信号をそれぞれ前記第 2 の信号として出力し、

前記制御信号がディスエーブル状態を表す値のときには、前記データ信号によらず、前記第 2 のトランジスタをオフさせる値の出力信号を前記第 2 の信号として出力する、ことを特徴とする請求項 1、5、及び 8 のいずれかに記載の半導体装置。

**【請求項 1 1】**

前記第 1 のトランジスタの出力ノードに接続され前記トライステートバッファ回路の出力をなすパッドを有し、

前記第 1 のトランジスタの制御端子と前記第 1 のトランジスタの出力ノードとの間に、前記パッドに印加される電圧が、前記トライステートバッファ回路の電源電圧又は前記電源電圧より高電圧であるとき、前記第 1 のトランジスタの出力ノードと前記第 1 のトランジスタの制御端子間をバイパスするバイパス回路を備えている、ことを特徴とする請求項 1 記載の半導体装置。

**【請求項 1 2】**

前記トライステートバッファ回路の出力をなすパッドを有し、

前記トランスミッションゲートが、前記タイミング調整回路からの前記第 2 の制御信号がイネーブル状態を表す値のときにオンする前記第 3 のトランジスタの導電型（「第 1 導電型」という）と逆の導電型（「第 2 導電型」という）とされ、制御端子に電源電位が印加される第 4 のトランジスタを有し、

前記第 3 のトランジスタの制御端子と前記パッドとの間に、制御端子に電源電位が印加される第 2 導電型の第 5 のトランジスタと、前記タイミング調整回路からの前記第 2 の制御信号がイネーブル及びディスエーブル状態を表す値のときにそれぞれオフ及びオンに制御される、第 2 導電型の第 6 のトランジスタとの直列回路を備え、

さらに、前記第 3 のトランジスタの制御端子と前記パッドとの間には、制御端子に前記電源電位が印加されている第 1 導電型の第 7 のトランジスタが、前記直列回路と並列に挿入されている、ことを特徴とする請求項 5 記載の半導体装置。

**【請求項 1 3】**

前記トライステートバッファ回路の出力をなすパッドを有し、

前記トランスミッションゲートが、前記タイミング調整回路からの前記第 2 の制御信号がイネーブル状態を表す値のときにオンする前記第 3 のトランジスタの導電型（「第 1 導電型」という）と逆の導電型（「第 2 導電型」という）とされ、制御端子に電源電位が印加される第 4 のトランジスタを有し、

前記第 3 のトランジスタの制御端子と前記パッドとの間に、前記タイミング調



整回路からの前記第2の制御信号がイネーブル及びディスエーブル状態を表す値のときにそれぞれオフ及びオンに制御される、第2導電型の第5のトランジスタを備え、

さらに、前記第3のトランジスタの制御端子と前記パッドとの間には、制御端子に前記電源電位が印加されている第1導電型の第6のトランジスタが前記第5のトランジスタと並列に挿入されている、ことを特徴とする請求項5記載の半導体装置。

#### 【請求項14】

前記トライステートバッファ回路の出力をなすパッドを有し、

前記トランスミッションゲートが、前記制御信号がイネーブル状態を表す値のときにオンする前記第3のトランジスタの導電型（「第1導電型」という）と逆の導電型（「第2導電型」という）とされ、制御端子に電源電位が印加される第4のトランジスタを有し、

前記第3のトランジスタの制御端子と前記パッドとの間に、制御端子に電源電位が印加される第2導電型の第5のトランジスタと、前記制御信号がイネーブル及びディスエーブル状態を表す値のときにそれぞれオフ及びオンに制御される、第2導電型の第6のトランジスタとの直列回路を備え、

さらに、前記第3のトランジスタの制御端子と前記パッドとの間には、制御端子に電源電位が印加されている第1導電型の第7のトランジスタが、前記直列回路と並列に挿入されている、ことを特徴とする請求項8記載の半導体装置。

#### 【請求項15】

前記トライステートバッファ回路の出力をなすパッドを有し、

前記トランスミッションゲートが、前記制御信号がイネーブル状態を表す値のときにオンする前記第3のトランジスタの導電型（「第1導電型」という）と逆の導電型（「第2導電型」という）とされ、制御端子に電源電位が印加される第4のトランジスタを有し、

前記第3のトランジスタの制御端子と前記パッドとの間に、前記制御信号がイネーブル及びディスエーブル状態を表す値のときにそれぞれオフ及びオンに制御される、第2導電型の第5のトランジスタを備え、

さらに、前記第3のトランジスタの制御端子と前記パッドとの間には、制御端子に電源電位が印加されている第1導電型の第6のトランジスタが、前記第5のトランジスタと並列に挿入されている、ことを特徴とする請求項8記載の半導体装置。

【請求項16】

前記第1のトランジスタの出力ノードに接続され前記トライステートバッファ回路の出力をなすパッドを有し、

前記第1のトランジスタのウエル領域と共通のウエル領域、又は、前記第1のトランジスタのウエル領域と接続されるウエル領域に、前記第1のトランジスタと同一の導電型とされ、制御端子が前記パッドに接続されている第8のトランジスタを備え、

前記パッドの電圧が、前記トライステートバッファ回路の電源電圧又は前記電源電圧よりも高電圧のとき、前記第8のトランジスタを介して、前記ウエル領域と電源間がオフ状態に制御される、ことを特徴とする請求項1記載の半導体装置。

【請求項17】

前記第1のトランジスタの出力ノードに接続され前記トライステートバッファ回路の出力をなすパッドを有し、

前記第1のトランジスタのウエル領域と共通のウエル領域、又は、前記第1のトランジスタのウエル領域と接続されるウエル領域に、制御端子が前記パッドに接続されており前記第1のトランジスタと同一の導電型の第8のトランジスタを備え、

前記トランスミッションゲートを構成する第3のトランジスタは、前記第1のトランジスタ及び／又は前記第8のトランジスタのウエル領域と共通のウエル領域、又は、前記第1のトランジスタ及び前記第8のトランジスタのウエル領域に接続されるウエル領域に配設されており、

前記パッドの電圧が、前記トライステートバッファ回路の電源電圧又は前記電源電圧よりも高電圧のとき、前記第8のトランジスタを介して、前記第1、第3、及び第8のトランジスタのそれぞれに対応する前記ウエル領域と電源間がオフ

状態に制御される、ことを特徴とする請求項 5 又は 8 記載の半導体装置。

**【請求項 18】**

制御端子に電源電圧が印加され、前記第 1 のトランジスタの制御端子と出力ノード間に接続され、前記第 1 のトランジスタと同一導電型の第 9 のトランジスタを備え、

前記第 9 のトランジスタは、前記第 1 のトランジスタ及び／又は前記第 8 のトランジスタのウエル領域と共通のウエル領域、又は、前記第 1 のトランジスタ及び前記第 8 のトランジスタの前記ウエル領域に接続されるウエル領域に形成されており、

前記パッドの電圧が、前記トライステートバッファ回路の電源電圧又は前記電源電圧よりも高電圧のとき、前記第 8 のトランジスタを介して、前記第 9 のトランジスタに対応する前記ウエル領域と電源間がオフ状態に制御される、ことを特徴とする請求項 16 又は 17 記載の半導体装置。

**【請求項 19】**

前記トランスミッションゲートの前記第 3 のトランジスタの制御端子と、第 2 の電源間に、前記タイミング調整回路から出力される前記第 2 の制御信号を制御端子に入力とし、前記第 2 の制御信号がイネーブル状態及びディスエーブル状態を示すとき、それぞれ、オン及びオフとされる第 10 のトランジスタを備えている、ことを特徴とする請求項 5 記載の半導体装置。

**【請求項 20】**

前記トランスミッションゲートの前記第 3 のトランジスタの制御端子と、第 2 の電源間に、前記制御信号を制御端子に入力とし、前記制御信号がイネーブル状態及びディスエーブル状態を示すとき、それぞれ、オン及びオフとされる第 10 のトランジスタを備えている、ことを特徴とする請求項 8 又は 9 記載の半導体装置。

**【請求項 21】**

前記トランスミッションゲートの前記第 3 のトランジスタの制御端子と、前記第 10 のトランジスタの出力ノードとの間に接続され、制御端子に電源電圧が供給されている第 11 のトランジスタを備えている、ことを特徴とする請求項 19

又は 2 0 記載の半導体装置。

**【請求項 2 2】**

前記トライステートバッファ回路の出力をなすパッドと、前記第 2 のトランジスタの出力との間に、制御端子に電源電圧が供給されている第 1 2 のトランジスタを備えている、ことを特徴とする請求項 1 又は 2 1 記載の半導体装置。

**【請求項 2 3】**

前記トライステートバッファ回路の出力をなすパッドを有し、

前記制御手段は、前記パッドの電圧を反映した信号と、前記制御信号とを入力し、前記パッドの電圧を反映した信号が高レベルの電圧であることを示すとき、前記制御信号のイネーブル状態からディスエーブル状態への遷移時に、前記トランスミッションゲートを構成する前記第 3 のトランジスタを一時的にオンさせるように制御する回路を備えている、ことを特徴とする請求項 3、5、及び 8 のいずれか一に記載の半導体装置。

**【請求項 2 4】**

前記制御信号を受け、前記制御信号のイネーブル状態からディスエーブル状態への切り替わりを検知して、所定のパルス幅のワンショットパルス信号を生成するワンショットパルス生成回路と、

前記トライステートバッファ回路の出力ノードとグランド間に挿入され、前記ワンショットパルス生成回路からの出力信号を受け、前記ワンショットパルス信号のパルス幅で規定される期間、オンとされる第 1 3 のトランジスタと、をさらに備えている、ことを特徴とする請求項 5 又は 8 記載の半導体装置。

**【請求項 2 5】**

前記制御信号を受け、前記制御信号のイネーブル状態からディスエーブル状態への切り替わりを検知して、所定のパルス幅のワンショットパルス信号を生成するワンショットパルス生成回路と、

前記データ信号と、前記ワンショットパルス生成回路からの出力信号とを入力し、前記データ信号が第 2 の論理値であるか、前記ワンショットパルス信号がアクティブのとき、前記第 2 のトランジスタをオンとする信号を生成する論理回路と、

をさらに備えている、ことを特徴とする請求項 1 記載の半導体装置。

**【請求項 26】**

前記制御回路が、前記第 1 のトランジスタの制御端子と前記電源間に直列形態に接続された少なくとも 2 つのトランジスタを有し、

前記 2 つのトランジスタのうちの一方のトランジスタはダイオード接続されており、他方のトランジスタの制御端子には前記制御信号が入力され、前記他方のトランジスタは、前記制御信号がイネーブル状態を表す値のときオフし、デイスエーブル状態を表す値のときオンする、ことを特徴とする請求項 8 又は 9 記載の半導体装置。

**【請求項 27】**

前記トライステートバッファ回路の出力をなすパッドを有し、

前記制御回路の前記一方のトランジスタは、前記第 1 のトランジスタ及び／又は前記第 8 のトランジスタのウエル領域と共通のウエル領域、又は、前記第 1 のトランジスタ及び前記第 8 のトランジスタの前記ウエル領域に接続されるウエル領域に形成され、

前記パッドの電圧が、前記トライステートバッファ回路の電源電圧又は前記電源電圧よりも高電圧のとき、前記第 8 のトランジスタを介して、前記第 1、第 3、及び、前記制御回路の前記一方のトランジスタのそれぞれに対応する前記ウエル領域と電源間がオフ状態に制御される、ことを特徴とする請求項 26 記載の半導体装置。

**【請求項 28】**

前記トライステートバッファ回路が、デイスエーブル状態のときに、前記トライステートバッファ回路の出力に、前記トライステートバッファ回路の電源電圧、又は前期駆動電源電圧よりも高い電圧が印加可能とされるトレラントバッファよりなる、ことを特徴とする請求項 1 記載の半導体装置。

**【請求項 29】**

前記トライステートバッファ回路の出力に接続されるパッドと、

前記パッドに接続される入力バッファと、

をさらに備え、

前記制御信号がイネーブル状態を表す値のとき、前記トライステートバッファ回路から前記パッドに前記データ信号に応じたレベルが出力される出力モードとされ、

前記制御信号がデイスエーブル状態を表す値のとき、前記パッドに印加される信号を前記入力バッファが入力する入力モードとされる、I/Oバッファ回路を有する、ことを特徴とする請求項 1 記載の半導体装置。

#### 【請求項 3 0】

前記パッドと前記入力バッファとの間に、前記パッドに前記トライステートバッファ回路の電源電圧又は前記電源電圧よりも高い電圧が印加されたとき、前記入力バッファの入力端に、前記電源電圧レベルの信号を供給する回路を備えている、ことを特徴とする請求項 2 9 記載の半導体装置。

#### 【発明の詳細な説明】

#### 【0 0 0 1】

#### 【発明の属する技術分野】

本発明は、半導体装置に関し、特に複数種の電源電圧に対応可能なミックスボルテージ回路に関する。

#### 【0 0 0 2】

#### 【従来の技術】

複数種の駆動電源電圧を有する半導体装置又は電子装置においては、相対的に低電源電圧駆動のトライステートバッファ回路の出力に接続される端子（パッド）を、相対的に高電源電圧駆動の回路の端子（パッド）に接続可能としたトレラントバッファ回路（「オーバーボルテージ・トレラントバッファ回路」あるいは「ミックスボルテージ回路」ともいう）が用いられる。例えば 3 V 系電源で駆動される半導体装置のトライステート出力バッファの出力を 5 V 系電源で駆動されるシステムのバスに接続した場合、入力モード時（出力デイスエーブル時）には、トライステート出力バッファの出力段をなす p チャネル MOS トランジスタと n チャネル MOS トランジスタをともにオフ状態として出力を高インピーダンス状態とするが、出力段のプルアップ駆動側をなす p チャネル MOS トランジスタのドレイン領域（5 V が印加される）から n ウエル領域（3 V 電源電位）に向

けて順方向に p n 接合の寄生ダイオードが形成され、出力端子 11 から 3 V 系半導体装置内の電源電位に向けて電流が逆流することになる。この寄生ダイオードによる電流の逆流を阻止するために、出力段のプルアップ駆動側をなす p チャネル MOS トランジスタのウエル領域を電源電位から分離させる構成が知られている（例えば特許文献 1 参照）。

### 【0003】

#### 【特許文献 1】

特開平 9-238065 号公報（第 3-4 頁、第 1 図）

### 【0004】

従来のトレラントバッファ回路の理解のために、上記特許文献 1 に提案されている回路を例に説明しておく。図 15 は、上記特許文献 1 に記載されている回路構成を示す図である（ただし、参照符号を一部変えている）。図 15 に示すように、出力段 1 は、電源電位  $V_{cc}$  (+3 V) と出力端子 11 間に設けられるプルアップ駆動（充電駆動）用の p チャネル MOS トランジスタ P11 と、出力端子 11 とグランド (GND) 間に設けられプルダウン駆動（放電駆動）用の n チャネル MOS トランジスタ N11 による CMOS 回路で構成され、プルアップ駆動側の p チャネル MOS トランジスタ P11 は、ウエル領域 n1 が電源  $V_{cc}$  (ソース側) から分離されている。

### 【0005】

前段回路 2 は、CMOS 論理ゲート G1、G2 および CMOS インバータ Iv2 から構成されており、イネーブル信号 E が High (高) レベルのときに、出力段 1 の p チャネル MOS トランジスタ P11 と n チャネル MOS トランジスタ N11 を入力信号 A に応じて相補的にオン／オフ制御するための信号を出力する。トライステート制御回路 3 は、CMOS インバータ Iv31、Iv32、p チャネル MOS トランジスタ P12、P13、P14、P15、n チャネル MOS トランジスタ N12、N13、N14 から構成されており、イネーブル信号 E が Low (低) レベルのときに、出力段 1 の p チャネル MOS トランジスタ P11 と n チャネル MOS トランジスタ N11 をともにオフ状態とする。p チャネル MOS トランジスタ P11 ~ P15 は共通のウエル領域 n1 に形成されており、こ

のうち p チャンネル MOS トランジスタ P 1 2 は、p チャンネル MOS トランジスタ P 1 1 のウエル領域 n 1 と電源 V c c の間に介在し、イネーブル（信号 E = H i g h）時に、ウエル領域 n 1 を電源電位 V c c に接続させる一方、ディスエーブル（E = L o w）時に、ウエル領域 n 1 を電源電位 V c c（p チャンネル MOS トランジスタ P 1 1 のソース）から切り離すウエル制御回路を形成している。また、ゲートが電源電位 V c c に接続されドレインとソースが p チャンネル MOS トランジスタ P 1 1 のドレインとゲートの間に接続されている p チャンネル MOS トランジスタ P 1 3 は、出力端子 1 1 に高電圧（例えば + 5 V）が印加されたときに、p チャンネル MOS トランジスタ P 1 1 のドレイン・ゲート間の電圧がしきい値をこえないように、p チャンネル MOS トランジスタ P 1 1 のドレイン・ゲート間をバイパスする電圧バイパス回路を形成している。

#### 【0006】

p チャンネル MOS トランジスタ P 1 4 と n チャンネル MOS トランジスタ N 1 2 は、イネーブル時に、p チャンネル MOS トランジスタ P 1 1 のゲートを前段回路 2（CMOS 論理ゲート G 1 の出力）に接続する一方、ディスエーブル時には、p チャンネル MOS トランジスタ P 1 1 のゲートを、前段回路 2 から切り離す入力分離回路を形成している。p チャンネル MOS トランジスタ P 1 5 と n チャンネル MOS トランジスタ N 1 3 は、ディスエーブル時に、ウエル制御回路と入力分離回路を形成する p チャンネル MOS トランジスタ P 1 2、P 1 4 の各ゲートを、出力端子 1 1 に接続する MOS スイッチ回路を形成している。

#### 【0007】

図 15 に示す回路において、イネーブル信号 E を H i g h レベルとしてイネーブル状態に設定した場合、出力段 1 の p チャンネル MOS トランジスタ P 1 1 は、論理ゲート G 1 および MOS トランジスタ N 1 2、P 1 4 を介して与えられる入力信号 A によりオン／オフ制御され、出力段 1 の n チャンネル MOS トランジスタ N 1 1 は、論理ゲート G 2 およびインバータ I v 2 を介して与えられる入力信号 A により p チャンネル MOS トランジスタ P 1 1 と相補的にオン／オフ制御され、入力信号（データ信号）A に応じて出力端子 1 1 を H i g h 又は L o w に駆動する。このとき、出力段 1 の p チャンネル MOS トランジスタ P 1 1 はウエル領域 n



1 が p チャネル MOS トランジスタ P 1 2 を介して V c c ( + 3 V ) に接続された状態でオン／オフ動作する。一方、イネーブル信号 E を L o w レベルとしてディスエーブル状態に設定した場合、論理ゲート G 1、G 2 の出力は入力信号 A の状態によらず H i g h レベルに固定され、出力段 1 の p チャネル MOS トランジスタ P 1 1 と n チャネル MOS トランジスタ N 1 1 はともにオフ状態に設定され、出力は高インピーダンス状態となる。ディスエーブル状態のときに、出力端子 1 1 に電源電位 V c c より高い電圧が印加されたとき、p チャネル MOS トランジスタ P 1 1 の寄生ダイオード D s による電流の逆流を阻止し、p チャネル MOS トランジスタ P 1 1 のドレイン電圧がドレインとゲート間の逆しきい値を越えてしまうことによる電流の逆流も阻止している。

#### 【0 0 0 8】

##### 【発明が解決しようとする課題】

しかしながら、図 1 5 を参照して説明した回路をはじめとして、従来のトレラントバッファ回路においては、イネーブル信号 E を H i g h レベルとしてイネーブル状態とし、出力段のプルアップ駆動用のトランジスタがオンとされた状態から、イネーブル信号 E を L o w として出力段のプルアップ駆動用のトランジスタがオフするまでの時間の短縮化について考慮されていない。

#### 【0 0 0 9】

例えば図 1 5 に示した回路では、出力モード ( H i g h 出力 ) から入力モードに切り替わった時点で、n チャネル MOS トランジスタ N 1 3 がオン及び p チャネル MOS トランジスタ P 1 5 がオンし、出力端子 1 1 の高電圧が、p チャネル MOS トランジスタ P 1 4 のゲートノードに印加され、p チャネル MOS トランジスタ P 1 4 をオフさせる。よって、トランスミッションゲートを構成する n チャネル MOS トランジスタ N 1 2 と p チャネル MOS トランジスタ P 1 4 のうち n チャネル MOS トランジスタ N 1 2 しかオンしていず、このため、トランスミッションゲートの入力側のノード n 3 の電位は、トランスミッションゲートの出力側のノード n 2 には十分伝わらず、その結果、p チャネル MOS トランジスタ P 1 1 は完全にターン・オフされないか、完全にターン・オフするまでに時間を要する。

**【0010】**

すなわち、出力モードから入力モードに切り替わったとき、出力段のプルアップ駆動用のトランジスタはターン・オフ状態とならないか、ターン・オフ状態への遷移が遅れる。この場合、以下のような問題が生じる。

**【0011】**

例えば入出力端子にプルダウン素子が接続されていると、電源から、完全にターン・オフ状態でないプルアップ駆動用のトランジスタ（P11）を介して、プルダウン素子に電流が流れる。

**【0012】**

また、入出力バッファ回路の入出力端子（図15の11）に接続する相手ドライバ（例えば図15の20）の駆動能力が小さい場合に、入出力バッファ回路が出力モードから入力モードへ切り替えられ相手ドライバ（例えば図15の20）が例えばLowレベルを出力したときに、入出力バッファ回路のプルアップ駆動用トランジスタ（完全にターン・オフ状態となっていない）により、入出力端子がプルアップされ、その電圧がLowレベルにまで下がらない場合がある。このため、出力モードから入力モードへの切り替え時、入出力バッファ回路のトライステートバッファ回路の出力がハイインピーダンス状態となるのに十分な時間が経過するまで待った後、相手ドライバが駆動を開始する等、所定のハンドシェイク（バス・プロトコル）の導入が必要とされ、高速化の妨げとなる。

**【0013】**

したがって、本発明は、トレラントバッファ回路を備えた半導体装置において、出力イネーブルモードからディスエーブルモードに切り替わったとき、プルアップ側のトランジスタを高速にオフ状態とする装置を提供することにある。

**【0014】****【課題を解決するための手段】**

前記目的を達成する本発明の1つのアスペクトに係る半導体装置は、出力段に、プルアップ駆動用の第1のトランジスタとプルダウン駆動用の第2のトランジスタとを少なくとも備え、制御信号がイネーブル状態を表す値のときにデータ信号に応じて出力を高レベル又は低レベルとし、前記制御信号がディスエーブル状

態を表す値のときには前記第 1 及び第 2 のトランジスタをオフとして出力を高インピーダンス状態とするトライステートバッファ回路を有する半導体装置において、前記制御信号のイネーブル状態からディスエーブル状態への切り替え時に、前記第 1 のトランジスタのオン状態からオフ状態への遷移を速めるように制御する制御手段を備えている。本発明においては、前記制御手段は、前記第 1 のトランジスタのオン・オフを決定する信号が、前記制御信号がイネーブル状態を表す値のときに前記第 1 のトランジスタのオンを示すレベルである場合に、前記制御信号のイネーブル状態からディスエーブル状態への切り替え時に、前記第 1 のトランジスタのオン・オフを決定する信号が、前記第 1 のトランジスタをオフさせるレベルとなるまでの時間を速めるように、制御する回路を備えている。

#### 【 0 0 1 5 】

本発明の他のアスペクトに係る半導体装置において、前記制御手段は、前記制御信号を入力し、前記制御信号のイネーブル状態からディスエーブル状態への遷移のタイミングを遅らせた第 2 の制御信号を出力するタイミング調整回路を備え、前記制御信号のイネーブル状態からディスエーブル状態への切り替え時に、該タイミング調整回路からの第 2 の制御信号でオン・オフが制御されるトランسمッションゲートは、前記第 2 の制御信号の遷移エッジの遅延された時間分、データ信号及び制御信号に基づき第 1 のトランジスタをオン・オフする信号を出力する論理回路から出力される、前記第 1 のトランジスタをオフとする信号レベルを、第 1 のトランジスタの制御端子に伝達することで、前記第 1 のトランジスタのオン状態からオフ状態への遷移を速める。

#### 【 0 0 1 6 】

本発明のさらに別のアスペクトに係る半導体装置において、前記制御手段は、前記制御信号を受け、前記制御信号のイネーブル状態からディスエーブル状態への切り替え時に、前記第 1 のトランジスタの制御端子と電源間のパスを導通させ、前記第 1 のトランジスタの制御端子を、前記第 1 のトランジスタをオン状態からオフ状態へ設定する電圧に設定する回路を備えている。

#### 【 0 0 1 7 】

かかる構成の本発明によれば、出力イネーブル状態からディスエーブル状態へ

のモード切り替え時、プルアップ駆動用のトランジスタが完全にターンオフする時間を短縮し、ミックスボルテージ回路を有するシステムの高速動作を可能としている。なお、以下の説明からも明らかとされるように、上記課題は、特許請求の範囲の各請求項の本発明によっても同様に解決される。

#### 【 0 0 1 8 】

##### 【発明の実施の形態】

本発明の実施の形態について説明する。本発明の好適な一実施の形態において、半導体装置は、出力段に、プルアップ駆動用の第 1 のトランジスタ (P 1) とプルダウン駆動用の第 2 のトランジスタ (N 1) とを少なくとも備え、制御信号 (E N) がイネーブル状態を表す値のとき、データ信号 (D A T A) に応じて出力を高レベル又は低レベルとし、制御信号 (E N) がディスエーブル状態を表す値のとき、出力を高インピーダンス状態とするトライステートバッファ回路を有し、さらに、制御信号 (E N) のイネーブル状態からディスエーブル状態への切り替え時に、第 1 のトランジスタ (P 1) のオフ状態への遷移を速めるように制御する制御手段を備えている。

#### 【 0 0 1 9 】

この制御手段は、制御信号 (E N) がイネーブル状態を表す値のときに、第 1 のトランジスタ (P 1) のオン・オフを決定する信号 (例えば第 1 のトランジスタ (P 1) の制御端子ノード I N P 2 の信号電圧) が第 1 のトランジスタ (P 1) のオンを示すレベルである場合に、制御信号 (E N) のイネーブル状態からディスエーブル状態への切り替え時に、第 1 のトランジスタ (P 1) のオン・オフを決定する信号 (ノード I N P 2 の信号電圧) が、第 1 のトランジスタ (P 1) をオフさせるレベルとなるまでの時間を速める回路を備えている。

#### 【 0 0 2 0 】

より詳細には、本発明の一実施の形態に係る半導体装置のバッファ回路は、出力すべきデータ信号 (D A T A) と、制御信号 (E N) とを入力とし、第 1 のトランジスタ (P 1) のオン及びオフを制御する第 1 の信号 (I N P 1) を出力する第 1 の論理回路 (1 0 1) と、第 1 の論理回路 (1 0 1) の出力と第 1 のトランジスタ (P 1) の制御端子ノード間に挿入され、制御信号 (E N) がイネーブ

ル状態を表す値のときにオンとされ、第1の論理回路(101)から出力される第1の信号(INP1)を受けて、これを第1のトランジスタ(P1)の制御端子に伝達し、一方、制御信号(EN)がディスエーブル状態を表す値のときに、オフとされる第3のトランジスタ(P5)を含むトランスミッションゲートと、を備えている。

#### 【0021】

そして、本発明の一実施の形態においては、制御信号(EN)のイネーブル状態からディスエーブル状態への切り替え時に、第1のトランジスタ(P1)のオン状態からオフ状態への遷移を速めるように制御する制御手段として、制御信号(EN)を受け、該制御信号(EN)のイネーブル状態からディスエーブル状態への切り替え時に、トランスミッションゲートの第3のトランジスタ(P5)がオンからオフ状態に切り替わるタイミングを遅らせた制御信号(EN1)を出力するタイミング調整回路(120)を備えた構成としてもよい。制御信号(EN)のイネーブル状態からディスエーブル状態への切り替え時に、制御信号(EN1)は、イネーブル状態からディスエーブル状態への遷移タイミングが遅れ、この間、トランスミッションゲートの第3のトランジスタ(P5)はオン状態とされ、第3のトランジスタ(P5)がオンとされている期間、トランスミッションゲートは、論理回路(101)から出力される、第1のトランジスタ(P1)をオフとする電圧レベルの第1の信号(ノードINP1に出力される信号)を、第1のトランジスタ(P1)の制御端子ノード(ノードINP2)に伝達することで、第1のトランジスタ(P1)がオン状態からオフ状態へ高速に切り替わるようにしている。

#### 【0022】

本発明の一実施の形態において、出力すべきデータ信号(DATA)と、制御信号(EN)とを入力とし第1のトランジスタ(P1)のオン及びオフを制御する第1の信号(INP1)を出力する第1の論理回路(101)は、制御信号(EN1)がイネーブル状態であり、且つ、データ信号(DATA)が第1の論理値(High)のとき、第1の信号(INP1)として、第2の論理値(Low)を出力し、制御信号(EN)がディスエーブル状態のときには、第1の信号(I

NP1)としてデータ信号(DATA)の値によらず第1の論理値(High)を出力する構成としてもよい。出力段のプルアップ駆動用の第1のトランジスタ(P1)は、第1のトランジスタ(P1)の制御端子が第2の論理値(Low)、及び第1の論理値(High)のときにそれぞれオン及びオフする。

### 【0023】

本発明の一実施の形態において、タイミング調整回路(120)は、制御信号(EN)を入力し、該制御信号(EN)のイネーブル状態からディスエーブル状態への遷移を遅延させた第2の制御信号(EN1)を出力し、タイミング調整回路(120)から出力される第2の制御信号(EN1)のイネーブル状態からディスエーブル状態への遷移に基づき、トランスミッションゲートの第3のトランジスタ(P5)がオンからオフに切り替わる。タイミング調整回路(120)の構成として、制御信号(EN)を所定時間遅延させて出力する遅延回路を含む。あるいは、制御信号(EN)を受けて所定時間遅延させて出力する遅延回路と、前記制御信号と、前記遅延回路の出力信号とを入力し、前記制御信号のイネーブル状態からディスエーブル状態への遷移を所定時間遅延させた信号を前記第2の制御信号(EN1)として出力する論理回路とを備えた構成としてもよい。

### 【0024】

本発明の一実施の形態においては、制御信号(EN)のイネーブル状態からディスエーブル状態への切り替え時に、第1のトランジスタ(P1)のオン状態からオフ状態への遷移を速めるように制御する制御手段として、第1のトランジスタ(P1)の制御端子ノード(INP2)と電源(VDD)間に接続され、制御信号(EN)がイネーブル状態を表す値のとき、電源(VDD)と第1のトランジスタの制御端子ノード(INP2)間のパスを非導通とし、制御信号(EN)がディスエーブル状態を表す値のときには、電源(VDD)と第1のトランジスタの制御端子ノード(INP2)間のパスを導通させて、第1のトランジスタの制御端子ノード(INP2)を第1のトランジスタ(P1)をオフする電位に設定する、縦積みトランジスタ回路を備えている。より詳細には、縦積みトランジスタ回路は、電源(VDD)と第1のトランジスタ(P1)の制御端子ノード(INP2)間に挿入され、制御信号(EN)によりオン・オフ制御されるスイッ

チトランジスタ（P7）と、ダイオード接続されたトランジスタ（P6）とを備えている。

#### 【0025】

本発明の一実施の形態において、出力すべきデータ信号（DATA）と、制御信号（EN）とを入力とし、第2のトランジスタ（N1）のオン及びオフを制御する第2の信号（INN）を出力する第2の論理回路（102）を備え、第2の論理回路（102）の出力端子は、第2トランジスタ（N1）の制御端子に接続され、第2の論理回路（102）は、制御信号（EN）がイネーブル状態を示し、且つ、データ信号（DATA）が第2の論理値（Low）のとき、第2の信号（INN）として第1の論理値（High）を出力し、制御信号（EN）がディセーブル状態を表す値のときには、第2の信号（INN）としてデータ信号（DATA）によらず第2の論理値（Low）を出力し、第2のトランジスタ（N1）は、その制御端子が第1及び第2の論理値のときにそれぞれオン及びオフする。

#### 【0026】

本発明の一実施の形態において、第1のトランジスタ（P1）の制御端子（ゲート）とその出力ノード（ドレイン）との間に、第1のトランジスタ（P1）の出力ノードに接続されるパッド（110）に、電源電圧（VDD）よりも高電圧が印加されたときに、第1のトランジスタ（P1）の出力ノードと第1のトランジスタ（P1）の制御端子間をバイパスするバイパス回路（P4）を備えている。

#### 【0027】

本発明の一実施の形態において、トランスミッションゲートは、タイミング調整回路（120）からの第2の制御信号（EN1）がイネーブル状態を表す値のときにオンする第1導電型の第3のトランジスタ（P5）と、制御端子に電源電位が印加される第2導電型の第4のトランジスタ（N4）と、を有し、第3のトランジスタ（P5）の制御端子と、トライステートバッファ回路の出力に接続されるパッド（110）間に、制御端子に電源電位（VDD）が印加される第2導電型の第5のトランジスタ（N2）と、タイミング調整回路（120）からの第

2 の制御信号 (E N 1) がイネーブル及びディスエーブル状態を表す値のときに、それぞれオフ及びオンする、第 2 導電型の第 6 のトランジスタ (N 3) との直列回路を備え、第 3 のトランジスタ (P 5) の制御端子とパッド間に、制御端子に電源電位 V D D が印加されている、第 1 導電型の第 7 のトランジスタ (P 3) が、該直列回路と並列に、挿入されている。あるいは、本発明の別の実施形態によれば、制御端子に電源電位 (V D D) が印加される第 2 導電型の第 5 のトランジスタ (N 2) を省き、第 3 のトランジスタ (P 5) の制御端子と、パッド (1 1 0) 間に、タイミング調整回路 (1 2 0) からの第 2 の制御信号 (E N 1) がイネーブル及びディスエーブル状態を表す値のときに、それぞれオフ及びオンする、第 2 導電型の第 6 のトランジスタ (N 3) を備え、第 3 のトランジスタ (P 5) の制御端子とパッド間に、制御端子に電源電位 V D D が印加されている、第 1 導電型の第 7 のトランジスタ (P 3) を、第 6 のトランジスタ (N 3) と並列に配設する構成としてもよい。

#### 【 0 0 2 8 】

あるいは、本発明の別の実施の形態において、タイミング調整回路を設けず、第 1 のトランジスタ (P 1) のオン状態からオフ状態への遷移を速めるように制御する制御手段を、縦積みトランジスタ回路 (P 6、P 7) で構成する場合、トランスミッションゲートは、制御信号 (E N) がイネーブル状態を表す値のときにオンする第 1 導電型の第 3 のトランジスタ (P 5) と、制御端子に電源電位が印加されている、第 2 導電型の第 4 のトランジスタ (N 4) と、を有し、第 3 のトランジスタ (P 5) の制御端子と、トライステートバッファ回路の出力に接続されるパッド (1 1 0) 間に、制御端子に電源電位 (V D D) が印加される、第 2 導電型の第 5 のトランジスタ (N 2) と、制御信号 (E N) がイネーブル及びディスエーブル状態を表す値のときに、それぞれオフ及びオンする、第 2 導電型の第 6 のトランジスタ (N 3) との直列回路を備え、第 3 のトランジスタ (P 5) の制御端子とパッド間には、制御端子に電源電位 V D D が印加されている、第 1 導電型の第 7 のトランジスタ (P 3) が、該直列回路と並列に、挿入されている。あるいは、本発明の別の実施形態によれば、制御端子に電源電位 (V D D) が印加される第 2 導電型の第 5 のトランジスタ (N 2) を省き、第 3 のトランジ



スタ (P5) の制御端子と、パッド (110) 間に、制御信号 (EN) がイネーブル及びディスエーブル状態を表す値のときに、それぞれオフ及びオンする第2導電型の第6のトランジスタ (N3) を備え、第3のトランジスタ (P5) の制御端子とパッド間に、制御端子に電源電位 VDD が印加されている、第1導電型の第7のトランジスタ (P3) を、第6のトランジスタ (N3) と並列に配設する構成としてもよい。

#### 【0029】

本発明の一実施形態においては、好ましくは、第1のトランジスタ (P1) のウエル領域と共通のウエル領域 (n1) に、トライステートバッファ回路の出力をなすパッド (110) に制御端子が接続されており、第1のトランジスタ (P1) と同一の導電型の第8のトランジスタ (P2) を備え、第8のトランジスタ (P2) により、前記パッドに印加される電圧がトライステートバッファ回路の電源電圧 (VDD) と同電圧又は高電圧のとき、共通のウエル領域 (n1) と電源間がオフ状態に制御される。別の実施形態において、第8のトランジスタ (P2) を、第1のトランジスタ (P1) のウエル領域とは別のウエル領域に設け、該別のウエル領域を、配線・コンタクト等を介して、第1のトランジスタ (P1) のウエル領域に接続し、同電位とする構成としてもよい。また、トランスミッションゲートを構成する第3のトランジスタ (P5)、縦積み回路のダイオード接続されたトランジスタ (P6)、バイパス回路のトランジスタ (P4) は、第1のトランジスタ (P1) のウエル領域と共通のウエル領域 (n1) (フローティングウエル) に形成されている。あるいは、第3のトランジスタ (P5)、縦積み回路のダイオード接続されたトランジスタ (P6)、バイパス回路のトランジスタ (P4) が形成されるウエル領域を、第1のトランジスタ (P1) 及び第8のトランジスタ (P2) のウエル領域を配線等で接続し、同電位とする構成としてもよい。

#### 【0030】

本発明の別の実施の形態において、第1のトランジスタ (P1) のオン状態からオフ状態への遷移を速めるように制御する制御手段は、前記トライステートバッファ回路の出力に接続されるパッド (110) の電圧を反映した信号 (パッド

からの入力信号)と、制御信号(E N)とを入力し、パッド(1 1 0)の電圧を反映した信号(パッドからの入力信号)が、パッド(1 1 0)の電圧が、高レベルの電圧(例えば、電源電圧(V D D)以上の電圧)であることを示す場合、制御信号(E N)のイネーブル状態からディスエーブル状態への遷移時に、トランスミッションゲートを構成する第3のトランジスタ(P 5)を、一時的にオンさせるように制御する手段(1 2 0 A)を備えた構成としてもよい。

#### 【0 0 3 1】

本発明の別の実施の形態において、制御信号(E N)を受け、前記制御信号のイネーブル状態からディスエーブル状態への切り替わりを検知して、所定のパルス幅のワンショットパルス信号を生成するワンショットパルス生成回路(1 3 0)を備え、トライステートバッファ回路の出力とグランド(G N D)間に挿入され、ワンショットパルス生成回路からのワンショットパルス信号のパルス幅で規定される期間、オンとされる放電用のトランジスタ(N 7)を備えた構成としてもよい。

#### 【0 0 3 2】

本発明のさらに別の実施の形態において、制御信号(E N)を受け、前記制御信号(E N)のイネーブル状態からディスエーブル状態への切り替わりを検知して所定のパルス幅のワンショットパルス信号を生成するワンショットパルス生成回路(1 3 0)を備え、データ信号と、ワンショットパルス生成回路の出力信号とを入力し、前記データ信号が第2の論理値(L o w)であるか、ワンショットパルス信号がアクティブのとき、出力段のプルダウン駆動用の第2のトランジスタ(N 1)をオンとする信号を生成する論理回路(1 0 7)を備えた構成としてもよい。

#### 【0 0 3 3】

本発明のさらに別の実施の形態において、トランスミッションゲートを構成する第3のトランジスタ(P 5)の制御端子と、グランド電位を供給する第2の電源間に、タイミング調整回路(1 2 0)から出力される制御信号(E N 1)を制御端子に入力とし、制御信号(E N 1)がイネーブル状態及びディスエーブル状態を示すとき、それぞれオン及びオフとされる第10のトランジスタ(N 5)と

、第11のトランジスタ（例えば図14のN5' 参照）と、を直列形態に接続し、耐圧特性を向上させる構成としてもよい。第11のトランジスタ（N5' ）は、第10のトランジスタ（N5）の出力と第3のトランジスタ（P5）の制御端子との間に接続され、制御端子に電源電圧が供給されている。また、パッド（110）と、プルダウン用の第2のトランジスタ（N1）の出力との間に、制御端子に電源電圧が供給されている第12のトランジスタ（例えば図14のN1' 参照）を備えた構成としてもよい。

#### 【0034】

本発明の一実施の形態において、前述したトライステートバッファ回路の出力に接続されるパッド（110）と、パッド（110）に接続される入力バッファ（105）と、を備え、制御信号（EN）がイネーブル状態を表す値のとき、前記トライステートバッファ回路からパッド（110）に前記データ信号に応じたレベルが出力される出力モードとされ、前記制御信号（EN）がディスエーブル状態を表す値のとき、パッド（110）に印加される信号を前記入力バッファが入力する入力モードとされる、I/Oバッファ回路を有する構成としてもよい。

#### 【0035】

##### 【実施例】

上記した好適な実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図1は、本発明の第1の実施例の構成を示す図である。本発明は、トレラントバッファ回路において、イネーブル信号の出力イネーブルからディスエーブルへの切り替え時に、出力段のプルアップ駆動用トランジスタのオン・オフを決定する信号を、プルアップ駆動用トランジスタをより速くオフするように制御する制御手段を備えている。本実施例において、この制御手段は、タイミング調整回路120、及び縦積みトランジスタ回路（P6、P7）よりなる。

#### 【0036】

より詳細には、図1を参照すると、本実施例に係るバッファ回路は、データ信号DATAとイネーブル信号ENとを第1、第2の入力として受けるNAND回路101と、イネーブル信号ENを受けるインバータ103と、インバータ10

3 の出力信号とデータ信号 DATA を第 1、第 2 の入力として受ける NOR 回路 102 とを備えている。

#### 【0037】

出力段として、ソースが電源 VDD に接続され、ゲートがノード INP2 に接続され、ドレインがパッド 110 に接続されているプルアップ駆動用の p チャネル MOS トランジスタ P1 と、ソースが接地され、ゲートが NOR 回路 102 の出力ノード INN に接続されているプルダウン用の n チャネル MOS トランジスタ N1 とが設けられている。n チャネル MOS トランジスタ N1 は、高耐圧トランジスタとして構成されている。

#### 【0038】

p チャネル MOS トランジスタ P1 とソースが共通接続され、ゲートにパッド 110 が接続され、ドレインとバックゲートが共通に接続されている p チャネル MOS トランジスタ P2 は、p チャネル MOS トランジスタ P1 のウエル領域 n1 と電源 VDD 間に介在し、イネーブル信号 EN がアクティブのときに、p チャネル MOS トランジスタ P1 のウエル領域 n1 を電源 VDD に接続させ、ディスエーブル時に（パッド 110 が高電圧時に）、p チャネル MOS トランジスタ P1 のウエル領域 n1 を、電源（p チャネル MOS トランジスタ P1 のソース）から切り離す。このウエル領域 n1 を「フローティングウエル領域」ともいう。

#### 【0039】

p チャネル MOS トランジスタ P1 のゲートとドレイン間には、バイパス用の p チャネル MOS トランジスタ P4 が挿入されており、p チャネル MOS トランジスタ P4 のゲートは電源 VDD に接続されている。p チャネル MOS トランジスタ P4 も、プルアップ駆動用の p チャネル MOS トランジスタ P1 と共通の n ウエル n1 内に設けられている。あるいは、p チャネル MOS トランジスタ P4、P2 のウエル領域を、p チャネル MOS トランジスタ P1 のウエル領域と配線・コンタクト等で接続し、互いに同電位とする構成としてもよい。

#### 【0040】

本実施例のバッファ回路は、イネーブル信号 EN を入力とするタイミング調整回路 120 を備えており、さらに、タイミング調整回路 120 からの出力信号 E

N1をゲートに受けソースがグランド電位とされているnチャネルMOSトランジスタN5と、NAND回路101の出力ノードINP1とプルアップ駆動用のpチャネルMOSトランジスタP1のゲートノードINP2との間に挿入されているトランスミッションゲート（「トランスファゲート」ともいう）（相補のトランジスタP5、N4）とを備えている。トランスミッションゲートのpチャネルMOSトランジスタP5は、そのゲートがnチャネルMOSトランジスタN5のドレインに接続されており、nチャネルMOSトランジスタN4は、そのゲートが電源VDDに接続されている。トランスミッションゲート（P5、N4）は、ノードINP1の信号レベルを受け取り、ノードINP2への伝達の有無を制御する。pチャネルMOSトランジスタP5は、プルアップ駆動用のpチャネルMOSトランジスタP1が設けられるウエルn1と共通のnウエルn1内に設けられている。あるいは、pチャネルMOSトランジスタP5のウエル領域を、pチャネルMOSトランジスタP5、P2のウエル領域と配線・コンタクト等で接続することで同電位とする構成としてもよい。

#### 【0041】

さらに、本実施例においては、ドレインが信号線111を介してパッド110に接続され、ゲートが電源VDDに接続されているnチャネルMOSトランジスタN2と、nチャネルMOSトランジスタN2のソースにドレインが接続され、タイミング調整回路120の出力を反転するインバータ104の出力ENBにゲートが接続され、ソースが、pチャネルMOSトランジスタP5のゲートに接続されている、nチャネルMOSトランジスタN3と、ソースがパッド110に接続され、ゲートが電源VDDに接続され、ドレインがpチャネルMOSトランジスタP5のゲートに接続されている、pチャネルMOSトランジスタP3と、を備えている。さらに、本実施例においては、パッド110にドレインが接続され、ゲートが電源VDDに接続されているディプリーション型のnチャネルMOSトランジスタN6を備え、nチャネルMOSトランジスタN6のソースは、入力バッファ105の入力端に接続され、パッド110に入力された信号は、入力バッファ105から図示されない内部回路（半導体装置のI/O領域の内側にある回路）に供給される。

## 【0042】

図1に示した回路の動作の概略を説明する。トライステートバッファ回路が、出力モード（イネーブル状態）でパッド110にHighレベルを出力している場合、イネーブル信号ENはHighレベルとされ、データ信号DATAはHighレベルとされている。このとき、NAND回路101の出力はLowレベルであり、また信号EN1はHighレベルとされ、信号EN1をゲートに受けるnチャネルMOSトランジスタN5がオンし、pチャネルMOSトランジスタP5のゲート電位はLowレベルとされる。このため、pチャネルMOSトランジスタP5がオンし、NAND回路101の出力電圧（Lowレベル）が、トランスマッションゲート（N4、P5）を介して、ノードINP2に伝達され、pチャネルMOSトランジスタP1はオンし電源VDDからパッド110を充電し、パッド110はHighレベル（電源電圧VDD）となる。一方、NOR回路102の出力（INN）はLowレベルであり、nチャネルMOSトランジスタN1はオフ状態とされる。

## 【0043】

出力イネーブル状態からディスエーブル状態へ切り替わると、イネーブル信号ENはHighからLowレベルとされ、NAND回路101はHighレベルを出力し、タイミング調整回路120は、イネーブル信号ENの立ち下がりの変移のタイミングを、所定の遅延時間td分遅らせた信号EN1を出力し、遅延時間td分遅れて、nチャネルMOSトランジスタN5をオフさせる。また、信号EN1の反転信号をゲートに入力とするnチャネルMOSトランジスタN3も、遅延時間td分遅れてオンする。

## 【0044】

出力ディスエーブルのとき、イネーブル信号ENがLowレベルになると、ノードINP1（INP2）はHighレベル、NOR回路102の出力ノードINNはLowレベルとなり、pチャネルMOSトランジスタP1及びnチャネルMOSトランジスタN1をともにオフさせる。

## 【0045】

nチャネルMOSトランジスタN5は、イネーブル信号ENがHighレベル

から Low レベルに変化した時点から、タイミング調整回路 120 で設定されて遅延時間  $t_d$  だけ、オフになる時間が遅れ、このため、p チャンネル MOS トランジスタ P5 は、遅延時間  $t_d$  分オンしている時間が延びる。この延びた時間内に、ノード INP1 の電位は、相補のトランジスタ対 P5 と N4 で構成されるトランスミッションゲートを介して、ノード INP2 に伝達され、p チャンネル MOS トランジスタ P1 を完全にオフさせる。すなわち、タイミング調整回路 120 により、イネーブル信号 EN の立ち下がり時、ノード INP1 の High レベルがトランスミッションゲートを介してノード INP2 に伝播され p チャンネル MOS トランジスタ P1 を完全にオフできるようにノード INP2 の電位が上昇するまでの時間  $t_d$  を確保するための信号 EN1 (遅延時間  $t_d$ ) が生成される。

#### 【0046】

また、ディスエーブル状態になると、イネーブル信号 EN が Low レベルとなり、イネーブル信号 EN をゲートに入力する p チャンネル MOS トランジスタ P7 がオンし、p チャンネル MOS トランジスタ P6 のゲート (ノード INP2) 電位もはじめに Low レベルであるため (イネーブル信号 EN が Low レベルとなる直前まで p チャンネル MOS トランジスタ P1 はオン状態でありパッド 110 に High レベルを出力している)、p チャンネル MOS トランジスタ P7 と、ゲートとドレインがノード INP2 に接続されている (ダイオード接続された) p チャンネル MOS トランジスタ P6 を介して、ノード INP2 の電位は電源電圧 VDD に上昇し、p チャンネル MOS トランジスタ P1 をオフさせる。p チャンネル MOS トランジスタ P6 は、フローティングウエル n1 に形成される。なお、p チャンネル MOS トランジスタ P6 が設けられるウエルを、p チャンネル MOS トランジスタ P1、P2 のウエルと配線・コンタクト等で接続し、同電位とする構成としてもよい。

#### 【0047】

パッド 110 に、トライステートバッファ回路の駆動電源電圧 VDD よりも高電圧が印加されているときでも、信号線 111 に接続されたデプリーション型の n チャンネル MOS トランジスタ N6 により、内部回路 (入力バッファ 105) には、最大、電源電圧 VDD が供給される。

## 【0048】

このように、本実施例によれば、出力モードのHighレベル出力状態から、高インピーダンス状態への切り替え時、プルアップ駆動トランジスタが完全にターンオフすることを速めることができ、このため、モード切替に費やす時間を短縮化し、高速動作を実現する。

## 【0049】

以下に、pチャネルMOSトランジスタP3の作用について説明しておく。出力デイスエーブル状態のとき、パッド110に、電源電圧VDD（例えば3V系）よりも高電圧（例えば5.5V）が、不図示の相手ドライバから印加された場合、パッド110から、オン状態のnチャネルMOSトランジスタN2及びN3のみでは、pチャネルMOSトランジスタP5のゲート電圧は高電圧（5.5V電圧）まで上昇しない。一方、pチャネルMOSトランジスタP4を介してノードINP2にはパッド110から高電圧（5.5V電圧）が加えられる。pチャネルMOSトランジスタP3により、pチャネルMOSトランジスタP5のゲートとドレインが同電位となり、出力デイスエーブル状態のとき、トランスミッションゲートのpチャネルMOSトランジスタP5を完全にオフすることができる。

## 【0050】

図2は、図1のタイミング調整回路120の構成の一例を示す図である。図2(A)に示すように、タイミング調整回路120を偶数段のインバータよりなる遅延回路によって構成してもよい。この場合、出力される制御信号EN1は、EN1の立ち下がりエッジと立ち上がりエッジを等しく遅延させる。このため、制御信号ENがLowレベルからHighレベルに遷移するとき、出力モードへの切り替えが遅れる。

## 【0051】

本実施例の変形例として、タイミング調整回路120として、正転バッファ回路の出力段を構成するMOSトランジスタのゲート長Lを長くし（W/Lを小とする。ただし、Wはゲート幅一定とする。）、電流駆動能力を小とすることで、遅延時間を確保するようにしてもよい。あるいは、正転バッファ回路を構成する



2段のインバータの出力段インバータのCMOSトランジスタを構成するnチャネルMOSトランジスタの(W/Lを小とし)、放電能力を小として、信号の立ち上がりエッジは遅延させず、立ち下がりエッジのみを遅延させるようにしてもよい。

#### 【0052】

タイミング調整回路120のさらに別の構成として、図2(B)に示すように、制御信号ENをインバータ121<sub>1</sub>で反転した信号を、偶数段のインバータ121<sub>2</sub>~121<sub>2m+1</sub>(mは所定の正整数)よりなる遅延回路で遅延させた信号と、制御信号ENをインバータ121<sub>1</sub>で反転した信号とを入力とするNAND回路122を備えた構成としてもよい。NAND回路122の出力は、制御信号ENの立ち上がりエッジはそのまま出力し、立ち下がりエッジを、偶数段のインバータ121<sub>2</sub>~121<sub>2m+1</sub>の伝播遅延時間t<sub>d</sub>分遅延させて出力する。すなわち、NAND回路122の出力信号波形は、信号ENのパルス前縁はそのままとし、後縁を遅延時間t<sub>d</sub>分延ばしたパルス幅の波形となる。

#### 【0053】

なお、本発明は上記実施例の構成にのみに限定されるものでなく、仕様等に応じて、適宜、タイミング調整回路及び／又は縦積みトランジスタ回路等の組み合わせが可能である。

#### 【0054】

図3は、本発明の第2の実施例の構成を示す図である。図3において、図1に示した要素と同一・同等の要素には同一の参照符号が付されている。図3を参照すると、本発明の第2の実施例に係るバッファ回路においては、図1に示した前記第1の実施例からタイミング調整回路120を削除したものであり、イネーブル信号ENのHighレベルからLowレベルへ遷移時に、出力段のプルアップ駆動用のpチャネルMOSトランジスタP1のゲートノードINP2のHighレベルへのプルアップ回路として、電源VDDとノードINP2間に挿入されたスイッチトランジスタpチャネルMOSトランジスタP7とダイオード接続されたpチャネルMOSトランジスタP6の直列回路(縦積み回路)が設けられている。

## 【0055】

本実施例では、前記第1の実施例で用いられたタイミング調整回路120が設けられていないため、イネーブル信号ENのHighレベルからLowレベルへの遷移時、トランSMISSIONゲートを構成するpチャネルMOSトランジスタP5はただちにオフし、ノードINP1のHighレベル電圧は、nチャネルMOSトランジスタN4を介して、ノードINP2に伝達される構成とされるが、pチャネルMOSトランジスタのゲートノードINP2をpチャネルMOSトランジスタP7及びP6を介して電源電圧VDD側に引き上げ、プルアップ駆動用のpチャネルMOSトランジスタP1が完全にターンオフするまでの時間の短縮を図っている。

## 【0056】

次に、本発明の第3の実施例として、図1のタイミング調整回路120を備え、電源VDDとノードINP2間に挿入されている縦積みトランジスタ回路(P6、P7)を省いた構成としてもよい。

## 【0057】

次に、本発明の第4の実施例について説明する。図4は、本発明の第4の実施例の構成を示す図である。図4において、図1に示した要素と同一・同等の要素には同一の参照符号が付されている。図4を参照すると、本発明の第4の実施例においては、タイミング調整回路120Aの構成が、図1に示した前記実施例の構成と相違しており、その他の構成は、図1に示した実施例と同様とされる。

## 【0058】

図1に示した前記第1の実施例のタイミング調整回路120は、イネーブル信号ENを入力し、その立ち下がりエッジを遅延させて信号EN1として出力するものである。

## 【0059】

これに対して、図4を参照すると、本実施例において、タイミング調整回路120Aは、パッド110に接続される信号線111と、入力バッファ105との間に挿入されるデプリーション型のnチャネルMOSトランジスタN6の出力信号(パッド110へ印加される入力信号)と、イネーブル信号ENとを入力端子

AとBから入力し、nチャネルMOSトランジスタN6の出力信号がHighレベルであるとき（パッド110に印加される電圧が電源電圧VDD以上である場合）、イネーブル信号ENのHighレベル（イネーブル状態）からLowレベル（ディスエーブル状態）への遷移時に、ワンショットパルスの信号EN1を生成して出力する。タイミング調整回路120Aは、入力端子Aに入力されるnチャネルMOSトランジスタN6の出力信号がLowレベルであるとき、イネーブ信号ENのHighレベルからLowレベルへの遷移時にワンショットパルスは生成しない。

#### 【0060】

図5（A）は、タイミング調整回路120Aの構成の一例を示す図である。パッドに接続するnチャネルMOSトランジスタN6の出力とイネーブル信号ENをA、B端子から入力し、B端子の信号をインバータ123で反転した信号と、A端子の信号とを否定論理積演算をとるAND回路124と、AND回路124の出力信号をセット端子Sに入力し、AND回路124の出力信号がHighのときセットされる（出力QからHighレベルを出力する）SRフリップフロップ125と、SRフリップフロップ125の立ち上がりエッジからワンショットパルスを生成するワンショットパルス生成回路126と、を備え、ワンショットパルス生成回路126の出力は、SRフリップフロップ125のリセット端子Rに帰還入力されている。

#### 【0061】

図4及び図5（A）を参照して、本実施例におけるタイミング調整回路120Aの動作を説明する。イネーブル信号ENがLowレベル（出力ディスエーブル状態）となり、nチャネルMOSトランジスタN6の出力信号がHighレベル（電源電圧VDD）であるとき、タイミング調整回路120AのAND回路124はHighレベルを出力し、これを受けて、SRフリップフロップ125は非同期でセットされ、その出力QをHighレベルとする。ワンショットパルス生成回路126は、SRフリップフロップ125の出力QのLowレベルからHighレベルへの遷移を受け、所定のパルス幅のワンショットパルスを出力する。ワンショットパルス生成回路126から出力されるワンショットパルスをリセッ

ト端子Rに受けたSRフリップフロップ125はリセットされ、出力QはLowレベルに戻される。nチャネルMOSトランジスタN6の出力信号（A端子に入力される信号）がLowレベルのときは、AND回路124の出力信号はLowレベルとされ、SRフリップフロップ125はリセット状態（出力QはLowレベル）を保つ。SRフリップフロップ125は回路規模が小さいNOR型で構成される（第1の入力端子にセット（S）信号、リセット（R）信号をそれぞれ入力とする第1、第2のNOR回路を備え、第1のNOR回路の出力と第2のNOR回路の第2の入力端子を接続し、第2のNOR回路の出力と第1のNOR回路の第2の入力端子を接続して構成される）。なお、タイミング調整回路120Aにおいて、入力されるイネーブル信号ENがLowレベルからHighレベル（イネーブル状態）へ変化したときは、信号EN1がHighレベルを出力する構成とするため、ワンショットパルス生成回路126の出力信号Oと、B端子に入力されるイネーブル信号ENとの論理和をとるOR回路129を配置した構成としてもよい。

#### 【0062】

本実施例においては、イネーブル信号ENと、入力モード時にパッド110へ印加される信号を感知して、イネーブル状態からディスエーブル状態への遷移時に、プルアップ駆動側のpチャネルMOSトランジスタP1のオフ状態への遷移の高速化を制御する。すなわち、イネーブル信号ENがHighレベルからLowレベルへ遷移したとき、入力信号（nチャネルMOSトランジスタN6の出力信号）がHighレベルのときに、ワンショットパルス波形の信号EN1を生成する。ワンショットパルス信号EN1により、そのパルス幅の期間だけ、nチャネルMOSトランジスタN5がオンされ、一方、nチャネルMOSトランジスタN3をオフとし、したがって、トランスミッションゲートを構成するpチャネルMOSトランジスタP5のゲート電圧をグランド電位としてpチャネルMOSトランジスタP5をオンとし、NAND回路101の出力ノードINP1のHigh電圧をノードINP2に伝達する。一方、入力信号（nチャネルMOSトランジスタN6の出力信号）がLowレベルの場合には、イネーブル信号ENがHighレベルからLowレベルに変化したときにSRフリップフロップ125はセ

ットされず、リセット状態を保つ。

### 【0063】

図5 (B) は、図5 (A) のワンショットパルス生成回路126の構成の一例を示す図である。図5 (C) は、図5 (B) のワンショットパルス生成回路126のタイミング動作を説明するための図である。ワンショットパルス生成回路126は、入力信号Iと、入力信号Iを奇数段のインバータ $127_1 \sim 127_{2n+1}$  (ただし、nは正整数) よりなる遅延回路で遅延させた信号とを入力するAND回路128を備えており、入力信号Iの立ち上がりエッジに、立ち上がりエッジが同期し、遅延回路の遅延時間のパルス幅のワンショットパルスが出力される。

### 【0064】

次に、本発明の第5の実施例について説明する。図6は、本発明の第5の実施例の構成を説明するための図である。図6において、図1に示した要素と同一・同等の要素には同一の参照符号が付されている。図6を参照すると、本実施例は、図1のタイミング調整回路120を削除し、パッド110とグランド間に、プルダウン用のトランジスタN1と並列に挿入されているnチャネルMOSトランジスタN7と、イネーブル信号ENを入力し、出力がnチャネルMOSトランジスタN7のゲートに接続されたワンショットパルス生成回路130と、を備えている。nチャネルMOSトランジスタN7は、プルダウン駆動用のnチャネルMOSトランジスタN1と較べ、そのサイズ (例えばゲート幅W) は小さくてよい。本実施例においては、トランジスタN7とワンショットパルス生成回路130により、イネーブル信号ENの立ち下がり遷移時に、pチャネルMOSトランジスタP5をただちにオフ状態とせず、オン状態とすることで、プルアップ用トランジスタP1のオン状態からオフ状態への遷移を速める制御が行われる。

### 【0065】

より詳細には、本実施例において、ワンショットパルス生成回路130は、イネーブル信号ENのHighレベルからLowレベルへの遷移時に、ワンショットパルスを生じ、一時的に、nチャネルMOSトランジスタN7をオンさせ、パッド110の電荷を放電し、その電圧をグランド電位とする制御を行う。イネ

ーブル信号E Nの値がイネーブル状態（H i g hレベル）からディスエーブル状態（L o wレベル）に切り替わったとき、パッド1 1 0が高電圧の場合、トランスミッションゲートを構成するpチャネルMOSトランジスタP 5のゲートノードT G Cには、パッド1 1 0の高電圧と同レベルの電圧が印加され、pチャネルMOSトランジスタP 5はオフとなる。これに対して、一時的に、nチャネルMOSトランジスタN 7をオンさせ、パッド1 1 0の電圧を低電圧とすることで、pチャネルMOSトランジスタP 5のゲートノードT G Cに高電圧が印加されることはなくなり、したがって、イネーブル信号E Nの立ち下がり遷移時に、pチャネルMOSトランジスタP 5は、オン状態とされ、ノードI N P 2には、トランスミッションゲートのpチャネルMOSトランジスタP 5を介してノードI N P 1のH i g h電圧が伝達される。すなわち、pチャネルMOSトランジスタP 1が完全にターン・オフするのに要する時間を短縮している。

#### 【0 0 6 6】

図7は、図6のワンショットパルス生成回路1 3 0の構成の一例を示す図である。信号E Nをインバータ1 3 1<sub>1</sub>で反転した信号と、信号E Nを反転した信号を、奇数段のインバータ1 3 1<sub>2</sub>～1 3 1<sub>2m</sub>（ただし、mは2以上の所定の正整数）よりなる遅延回路で遅延させた信号とを入力するAND回路1 3 2を備え、AND回路1 3 2の出力端子から、信号E Nの立ち下がりエッジに同期して立ち上がり、遅延回路（奇数段のインバータ1 3 1<sub>2</sub>～1 3 1<sub>2m</sub>）の遅延時間で規定されるパルス幅のワンショットパルスが出力される。

#### 【0 0 6 7】

次に、本発明の第6の実施例について説明する。図8は、本発明の第6の実施例の構成を説明するための図である。図8において、図1に示した要素と同一・同等の要素には同一の参照符号が付されている。図8を参照すると、本実施例は、図6に示した前記第5の実施例と同様、図1に示したタイミング調整回路1 2 0を削除し、前記第1の実施例のNOR回路1 0 2に換えて、ワンショットパルス生成回路1 3 0と、OR回路1 0 7とを備えている。イネーブル信号E NのH i g hレベルからL o wレベルへの遷移時に、ワンショットパルス生成回路1 3 0はワンショットパルスを生成し、一時的に、出力段のnチャネルMOSトラン

ジスタN1をオンさせてパッド110の電荷を放電しその電圧をグラウンド電位とする制御を行うようにしている。ワンショットパルス生成回路130は、図7に示した構成とされる。

#### 【0068】

図6に示した前記第5の実施例と相違して、本実施例では、前記第5の実施例のnチャネルMOSトランジスタN7とnチャネルMOSトランジスタN1を、一つのnチャネルMOSトランジスタN1で構成している。図8の電源VDDとプルアップ駆動用のpチャネルMOSトランジスタP1のゲートノードINP2間に挿入される縦積み回路(P6、P7)は、図1に示した前記第1の実施例と同一とされており、その説明は省略する。

#### 【0069】

次に、図1に示した第1の実施例の変形例を第7の実施例として説明する。図14は、本発明の第7の実施例を示す図である。図14において、図1に示した要素と同一・同等の要素には同一の参照符号が付されている。図14を参照すると、本実施例は、図1に示した前記第1の実施例の構成に、タイミング調整回路120から出力される制御信号EN1をゲートに入力しソースが接地されているnチャネルMOSトランジスタN5のドレインにソースが接続され、pチャネルMOSトランジスタP5のゲートにドレインが接続され、ゲートに電源電位VDDが供給されているnチャネルMOSトランジスタN5'が追加されている。なお、nチャネルMOSトランジスタN5'のゲートに電源電圧VDDを供給するものであれば、電源ラインから直接接続するほか、回路素子を介してnチャネルMOSトランジスタN5'のゲートに電源電圧を供給する構成としてもよいことは勿論である。また本発明の第7の実施例においては、パッド110にドレインが接続され、ソースがnチャネルMOSトランジスタN1のドレインに接続され、ゲートに電源電圧VDDが供給されるnチャネルMOSトランジスタN1'を備えている。nチャネルMOSトランジスタN1'、N5'は、耐圧特性を向上させるためのものであり、例えばパッド110に高電圧が印加された場合に、トランジスタN1、N5を、該高電圧に耐えられるようにするものである。前記した各実施例についても、同様な構成としてよいことは勿論である。

**【0070】**

また図1等にした上記実施例において、ゲートが電源電圧VDDでバイアスされているNチャネルMOSトランジスタN2を省き、ゲートに制御信号EN1の反転信号を入力するNチャネルMOSトランジスタN3を、パッド110の千号線111とトランスミッションゲートのpチャネルMOSトランジスタP5のゲートTGC間に接続する構成としてもよい。

**【0071】**

以下では、図1のタイミング調整回路120と、電源VDDとプルアップ駆動用のpチャネルMOSトランジスタP1のゲートノードINP2間に挿入される縦積みnチャネルMOSトランジスタとともに具備しない構成のトレラントバッファ回路を比較例とし、この比較例と、本発明のいくつかの実施例の回路動作について、回路シミュレーション結果に基づき、比較して説明する。

**【0072】**

図9は、図1に示した本実施例のトレラントバッファ回路からタイミング調整回路120と、縦積みpチャネルMOSトランジスタP6、P7を除去して構成した比較例の構成を示している。なお、図9において、図1と同一又は同等の要素には同一の参照符号が付されており、説明は省略する。

**【0073】**

図10は、図9に示した回路のイネーブル状態からディスエーブル状態への切り替え時の信号EN、ノードINP1及びノードINP2の信号波形を示す図である。すなわち、図10は、図9に示した回路において、信号ENがHighレベルからLowレベルへの遷移を、過渡解析(transient analysis)した結果得られた、信号EN、ノードINP1及びノードINP2の電圧波形を示しており、信号ENの振幅は2.3Vとされ、横軸は2ns単位とされる。

**【0074】**

比較例においては、図10に示すように、イネーブル信号ENの立ち下がり時に、ノードINP2は緩やかに立ち上がっている。この場合、pチャネルMOSトランジスタP1は完全にターンオフしない。これは、出力モード(イネーブル状態)時、pチャネルMOSトランジスタP1がオンし、パッド110にHigh



h レベルを出力したのち、イネーブル信号 EN がディスエーブル状態 (Low レベル) に遷移したとき、トランスミッションゲートのうち p チャンネル MOS トランジスタ P 5 がオフし n チャンネル MOS トランジスタ N 4 のみがオンし、NAND 回路 101 の出力ノード INP 1 (High レベル) の電圧 (ノード INP 1 は速やかに High レベルに立ち上がる) は、ノード INP 2 へは十分伝わらず、ノード INP 2 は中間電圧となってしまふ。すなわち、n チャンネル MOS トランジスタ N 4 に接続されるノード INP 2 には、n チャンネル MOS トランジスタ N 4 の閾値電圧を  $V_{th}$  として、電源電圧  $V_{DD} - V_{th}$  の電圧レベルが出力される。よって、p チャンネル MOS トランジスタ P 1 は完全にターンオフされないか、ターンオフするのに時間がかかる。

#### 【0075】

図 11 は、図 1 に示した第 1 の実施例の回路 (タイミング調整回路 120 と縦積みトランジスタ回路 P 6、P 7 を備える) において、信号 EN が High レベルから Low レベルへの遷移を過渡解析した結果得られた、信号 EN、EN 1、ノード INP 1 及びノード INP 2 の電圧波形を示しており、信号 EN の振幅は 2.3 V とされ、横軸は 2 ns 単位とされる。図 11、及び後述する図 12 と図 13 において、縦・横軸のスケールは、図 10 と同一である。

#### 【0076】

イネーブル信号 EN の立ち下がりエッジを遅延させた信号 EN 1 は、イネーブル信号 EN が Low レベルとなったのちも、なお、約 4 ns ほど High レベルに保持され、この期間、トランスミッションゲートの p チャンネル MOS トランジスタ P 5 はオン状態とされ、その結果、ノード INP 2 は高速に立ち上がっている (立ち上がり時間は 3 ns 程度)。図 10 に示した比較例の場合、ノード INP 2 の立ち上がり時間は、16 ~ 18 ns とされ、本実施例は、約 1/5 以下に短縮している。

#### 【0077】

図 12 は、図 3 に示した第 2 の実施例の回路 (タイミング調整回路 120 なし、縦積みトランジスタ回路 P 6、P 7 有りの構成) のイネーブル状態からディスエーブル状態への切り替え時の信号 EN、ノード INP 1、ノード INP 2 の電

圧波形（過渡解析結果）を示す図である。

#### 【0078】

図12に示すように、図3に示す第2の実施例の構成において、ノードINP2の立ち上がり時間は8ns～9ns程度とされ、図10に示した比較例と較べて、1/2程度に短縮している。この実施例においても、出力段のプルアップ駆動用トランジスタのオンからオフへの切り替えの高速化を実現していることがわかる。

#### 【0079】

図13は、図1の構成から、縦積みトランジスタ回路P6、P7を取り除き、タイミング調整回路120のバッファ（図2（A）参照）の出力段バッファのnチャネルMOSトランジスタのゲート長Lを相対的に短くして、信号ENのHighレベルからLowレベルへの立ち下がり時間を大きくしたものである（第1の実施例の変形例）。

#### 【0080】

図13に示す例では、ノードINP2の立ち上がり時間は6ns程度とされ、図10の比較例の1/3程度に短縮している。この実施例においても、出力段のプルアップ駆動用トランジスタのオンからオフへの切り替えの高速化を実現していることがわかる。

#### 【0081】

なお、上記実施例においては、入力バッファ回路とトライステート出力バッファ回路とが共通のI/Oパッド（I/Oピン）に接続されるI/Oセルを例に説明したが、本発明において、出力ピン（出力パッド）に接続されるトライステート出力バッファのみの構成であってもよいことは勿論である。

#### 【0082】

以上、本発明を上記各実施例に即して説明したが、本発明は上記実施例の構成にのみ限定されるものでなく、特許請求の範囲の各請求項の発明の範囲内で、当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

#### 【0083】

#### 【発明の効果】

以上説明したように、本発明によれば、出力イネーブル状態から出力を高インピーダンス状態とするディスエーブル状態への切り替え時に、プルアップ駆動用のトランジスタが完全にターンオフする時間を短縮し、ミックスボルテージ回路を有するシステムの高速動作を実現する、という効果を奏する。

#### 【0084】

また本発明によれば、出力イネーブル状態から出力を高インピーダンス状態とするディスエーブル状態（入力モード）への切り替え時、バッファに接続する相手デバイスが、バッファ出力段のプルアップ駆動用のトランジスタが完全にターンオフするまでの時間待ち状態に入り、その後データを出力する等のバスプロトコルを不要とし、高速バスシステムを実現することができる。

#### 【0085】

さらに本発明によれば、出力イネーブル状態から出力を高インピーダンス状態とするディスエーブル状態（入力モード）への切り替え時、プルアップ駆動用のトランジスタが即時にオフするため、電源からオン状態のプルアップ駆動用のトランジスタを介してパッドに接続されるプルダウン素子等を介して電源電流が流れることが回避され、低消費電力化を図ることができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の第1の実施例の構成を示す図である。

##### 【図2】

(A)、(B)は図1のタイミング調整回路の構成を示す図である。

##### 【図3】

本発明の第2の実施例の構成を示す図である。

##### 【図4】

本発明の第4の実施例の構成を示す図である。

##### 【図5】

(A)は、図4のタイミング調整回路の構成を示す図、(B)は、(A)のワンショット回路の構成を示す図、(C)は、ワンショット回路のタイミング動作を説明するための図である。

**【図 6】**

本発明の第 5 の実施例の構成を示す図である。

**【図 7】**

図 6 のワンショット回路の構成を示す図である。

**【図 8】**

本発明の第 6 の実施例の構成を示す図である。

**【図 9】**

比較例の構成を示す図である。

**【図 1 0】**

比較例の動作波形の一例を示す図である。

**【図 1 1】**

第 1 の実施例の動作波形の一例を示す図である。

**【図 1 2】**

第 2 の実施例の動作波形の一例を示す図である。

**【図 1 3】**

第 1 の実施例の変形例の動作波形の一例を示す図である。

**【図 1 4】**

第 1 の実施例の変形例の一例を示す図である。

**【図 1 5】**

従来のトレラントバッファの構成を示す図である。

**【符号の説明】**

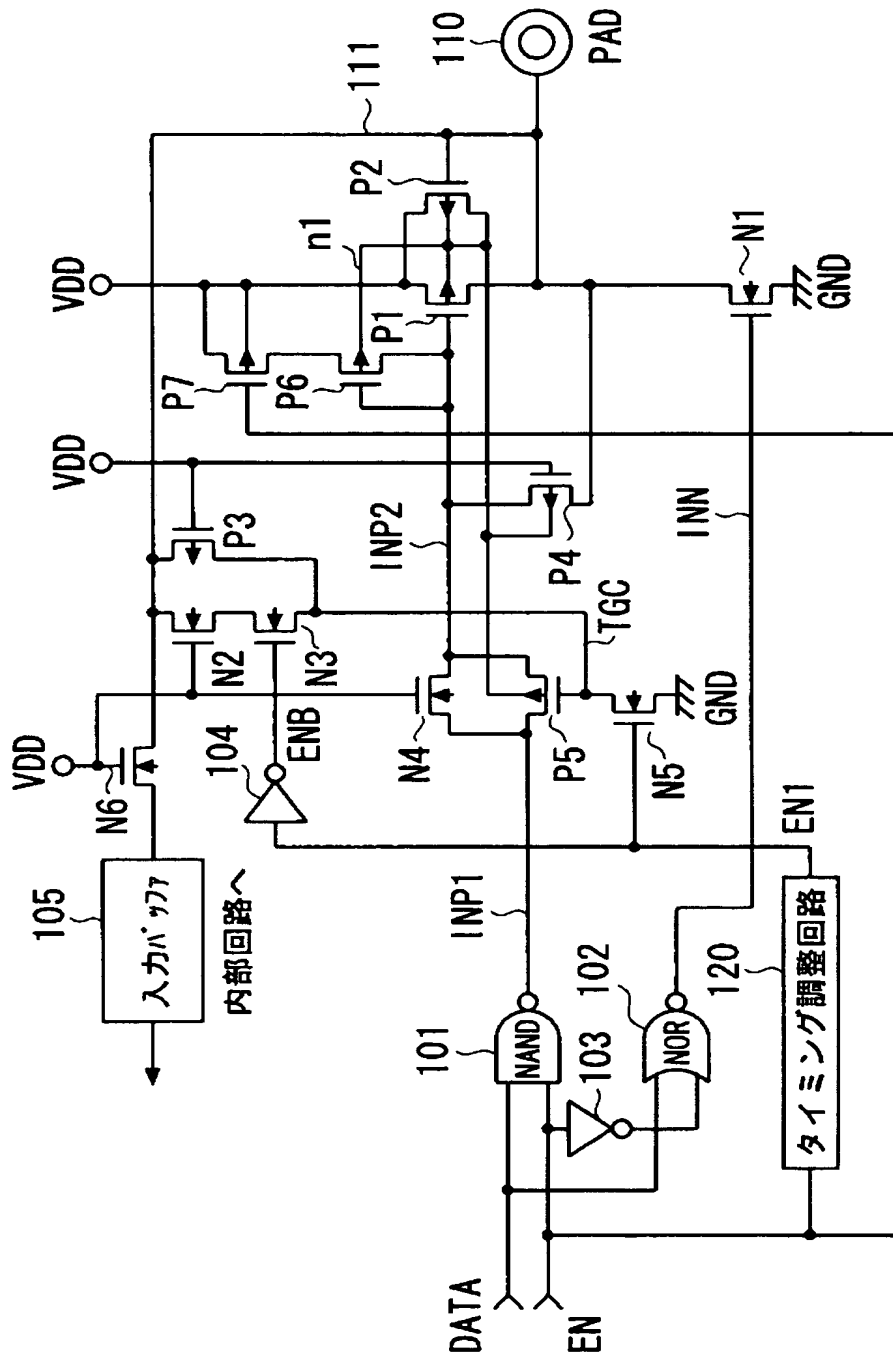
- 1 出力段
- 2 前段回路
- 3 トライステート制御回路
- 1 1 出力端子
- 2 0 相手ドライバ
- 1 0 1 NAND回路
- 1 0 2 NOR回路
- 1 0 3 インバータ

1 0 5 入力バッファ  
1 0 7 OR回路  
1 1 0 パッド  
1 1 1 信号線 (フィードバックパス)  
1 2 0、1 2 0 A タイミング調整回路  
1 2 1 インバータ  
1 2 2 NAND回路  
1 2 4 AND回路  
1 2 5 SRフリップフロップ  
1 2 6、1 3 0 ワンショットパルス生成回路  
1 2 7、1 3 1 インバータ  
1 2 8、1 3 2 AND回路  
1 2 9 OR回路  
N 1 ~ N 7 nチャネルMOSトランジスタ  
P 1 ~ P 7 pチャネルMOSトランジスタ

【書類名】

図面

【図 1】

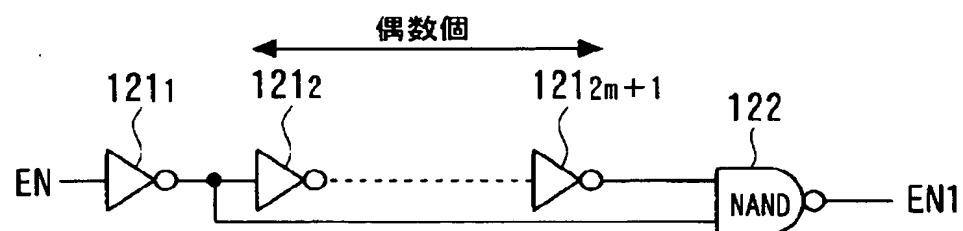


【図 2】

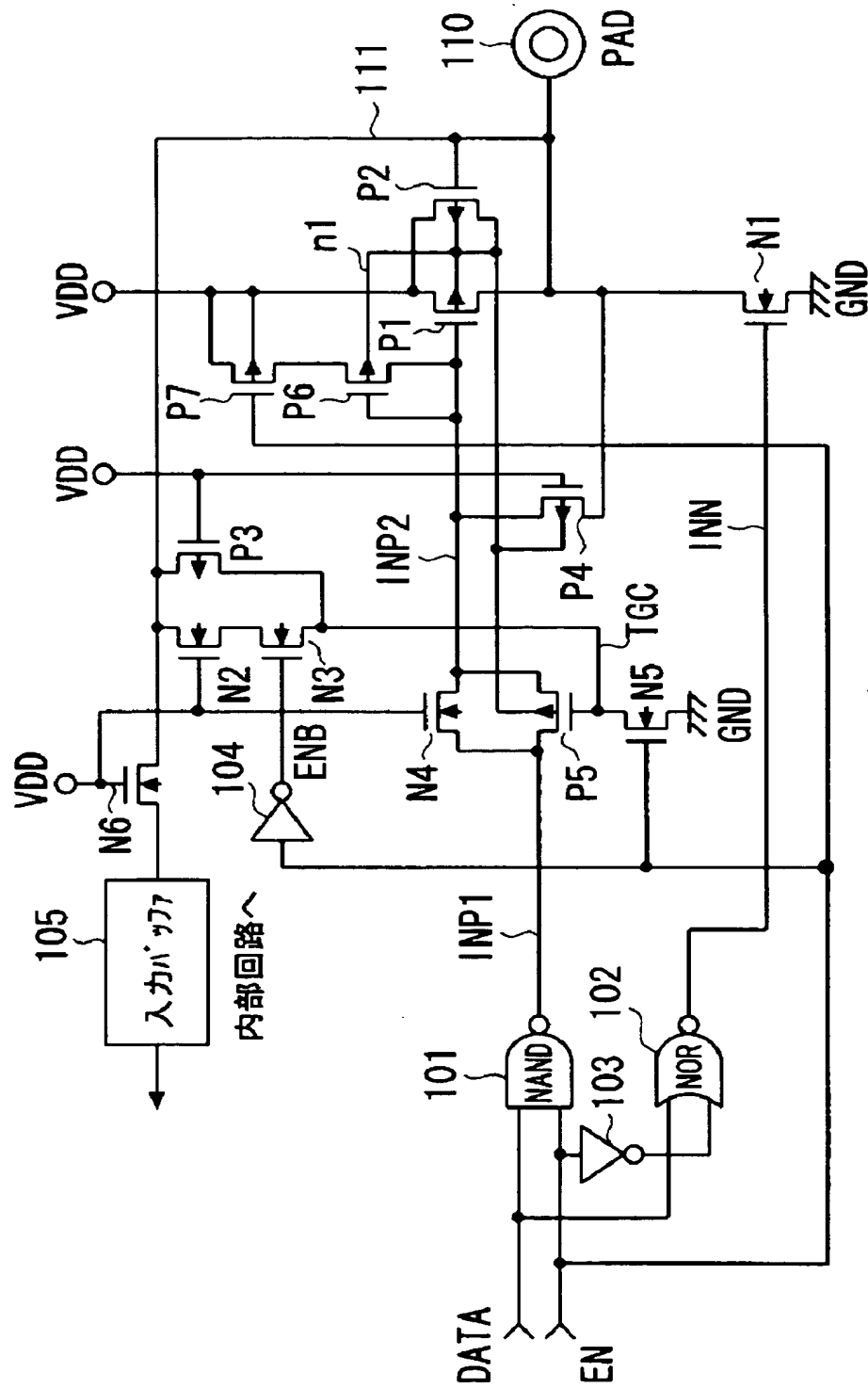
(A)



(B)

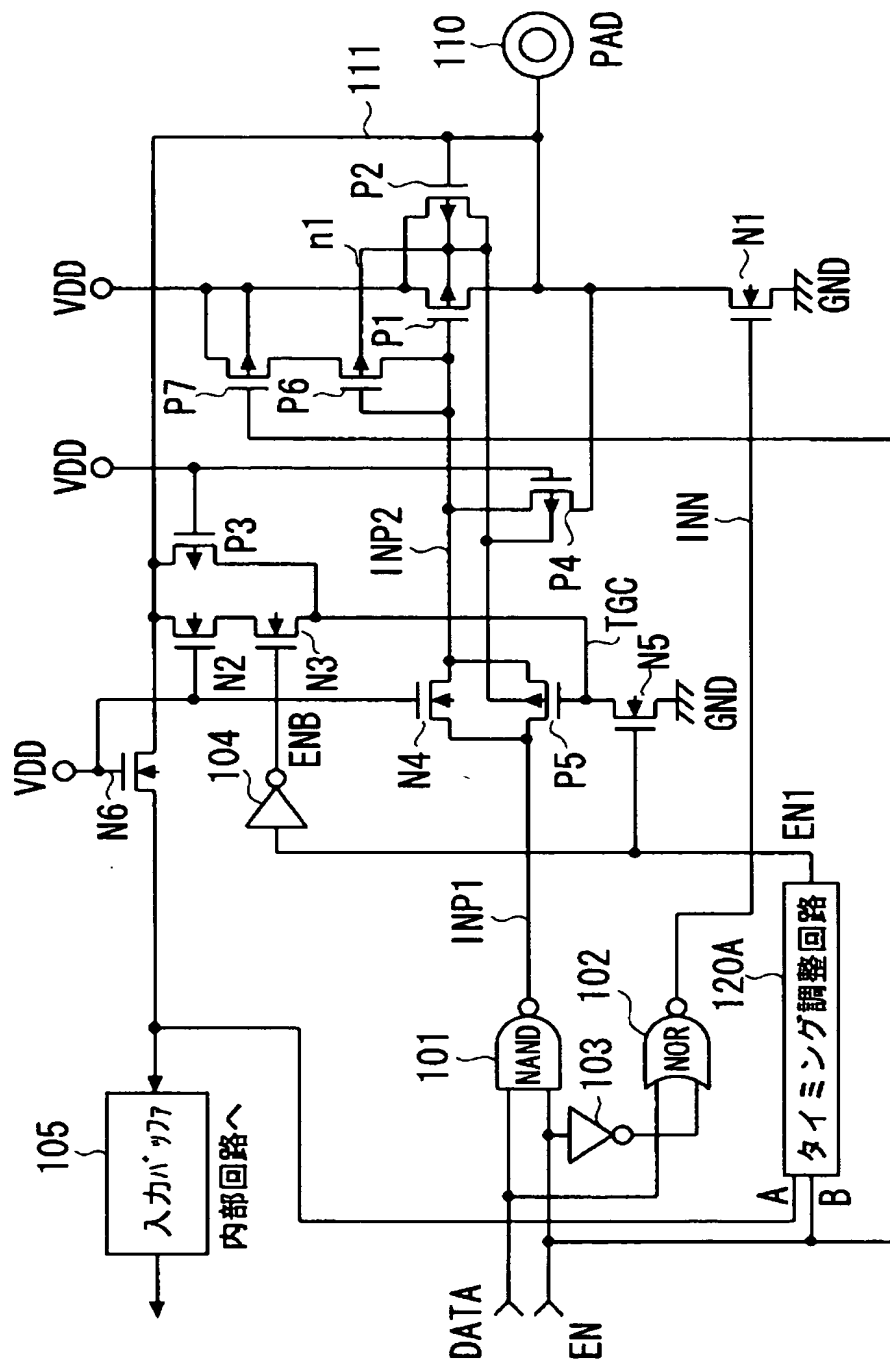


【図 3】

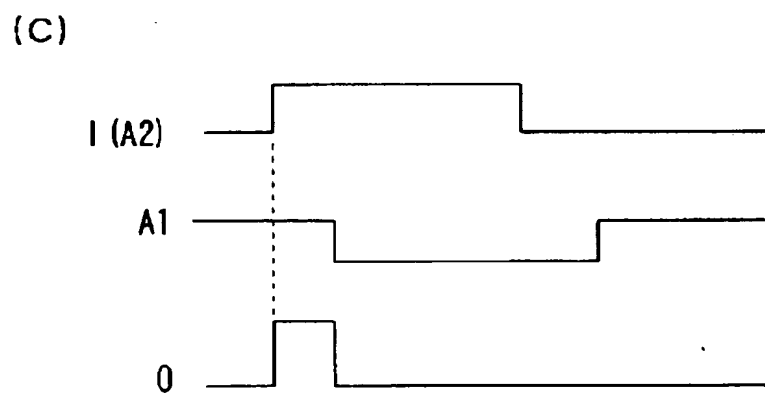
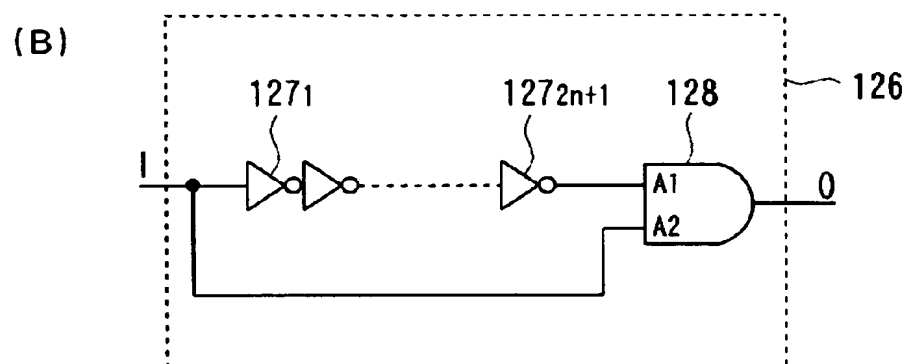
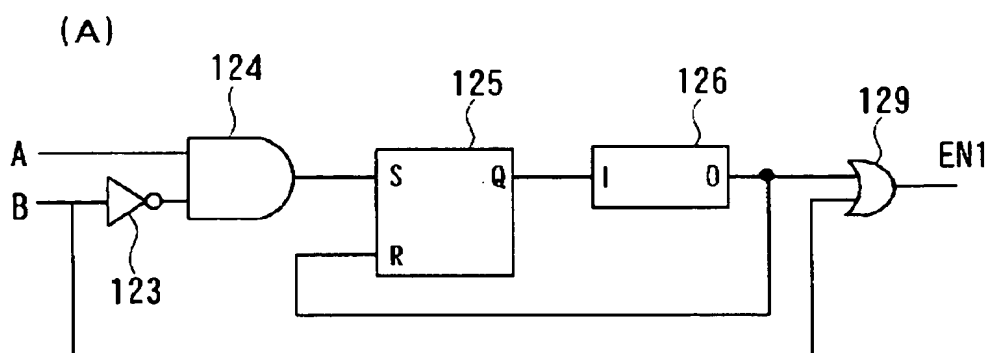




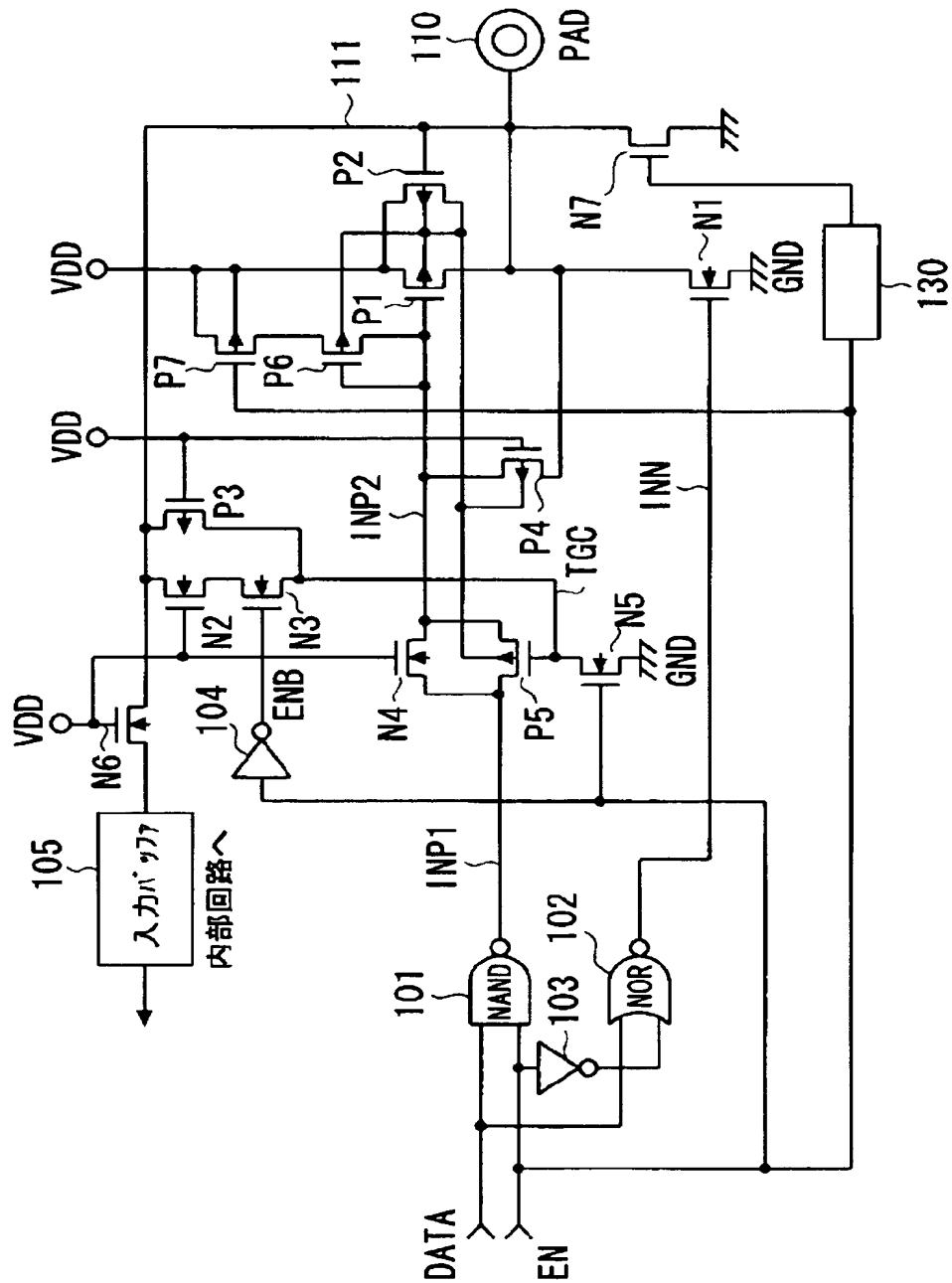
【图 4】



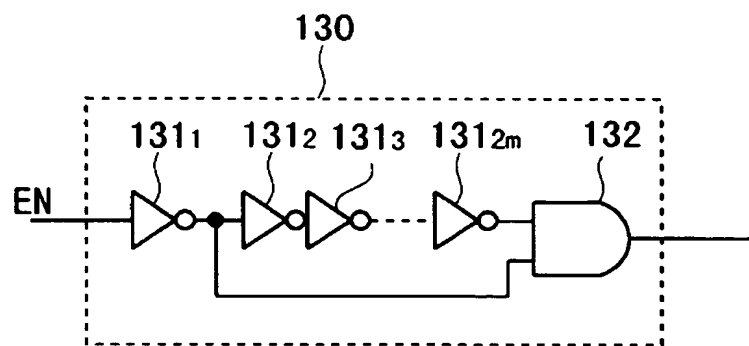
【図 5】



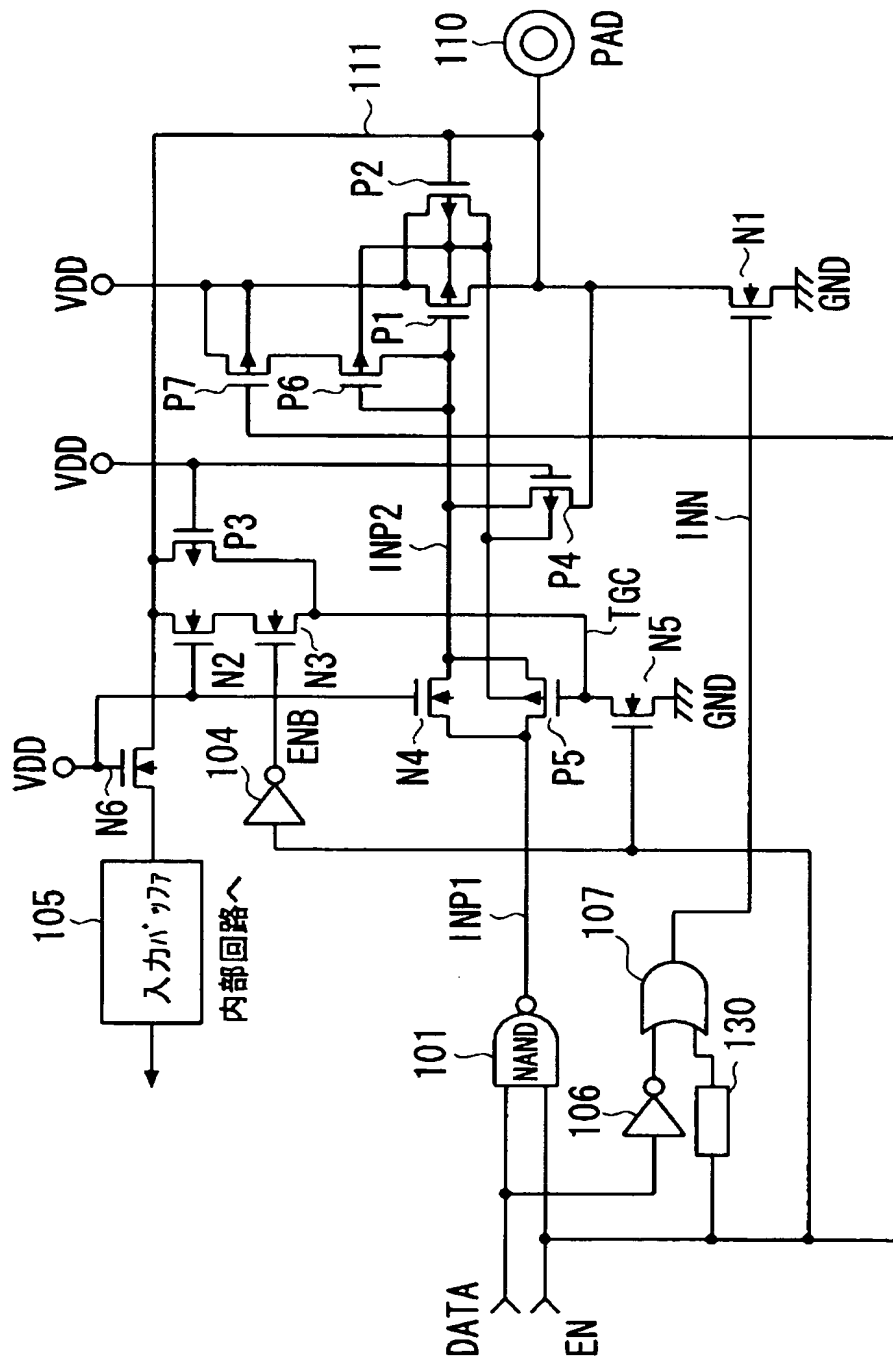
【図 6】



【図 7】

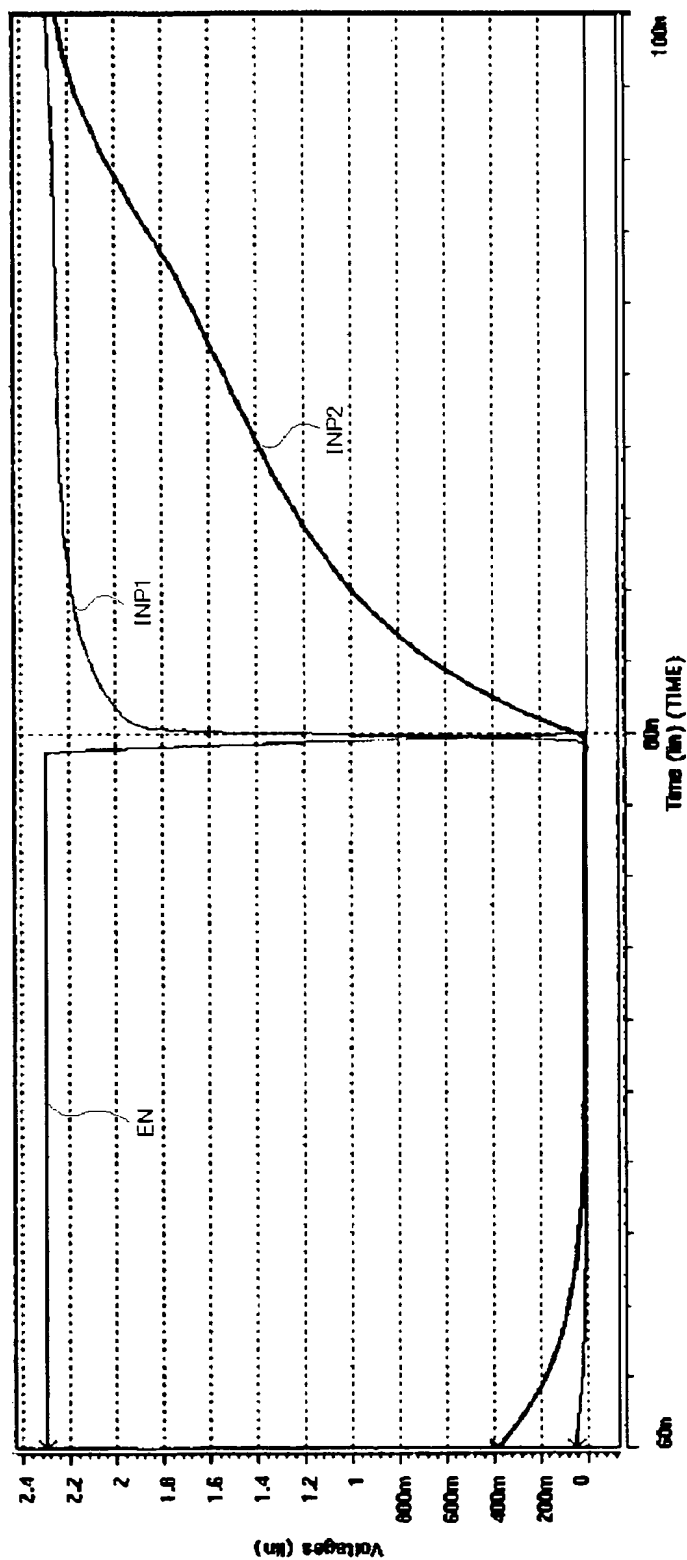


【図 8】

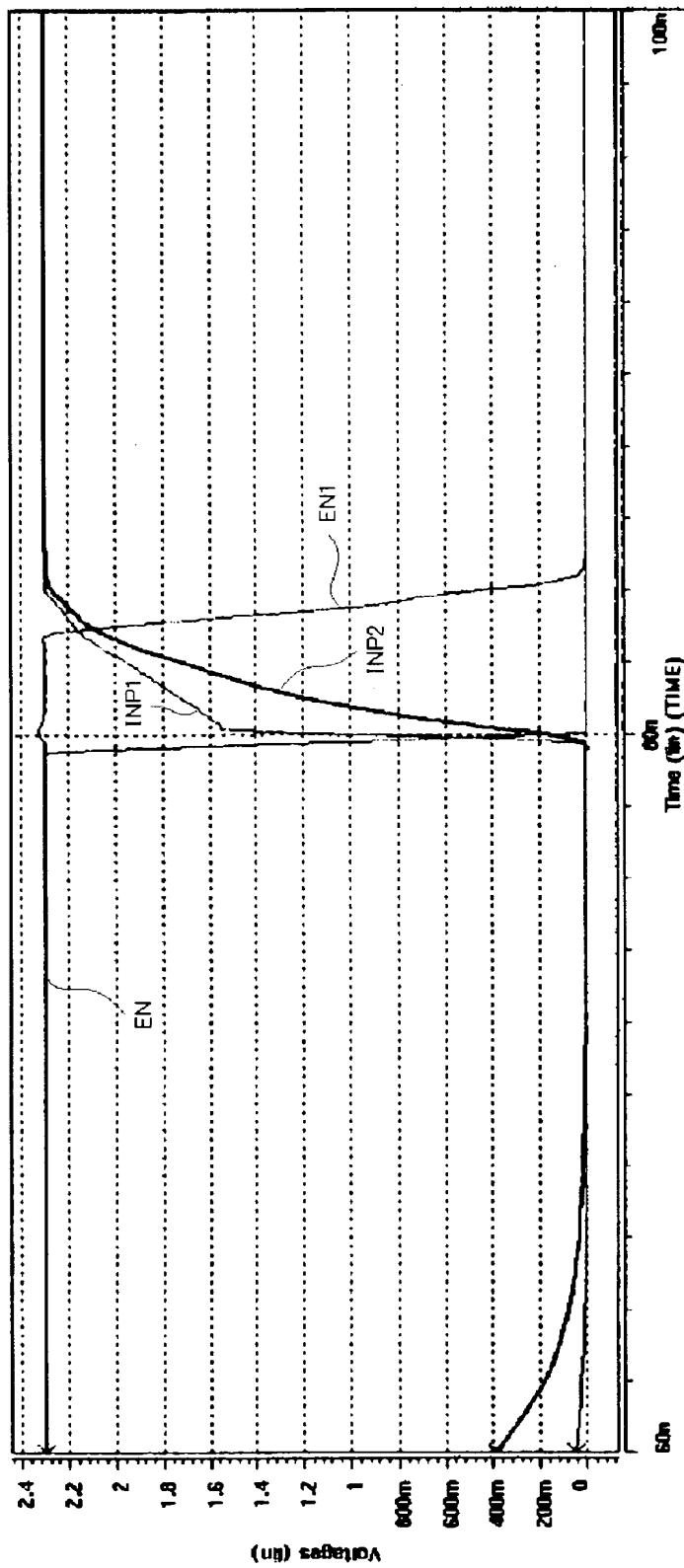




【図 10】

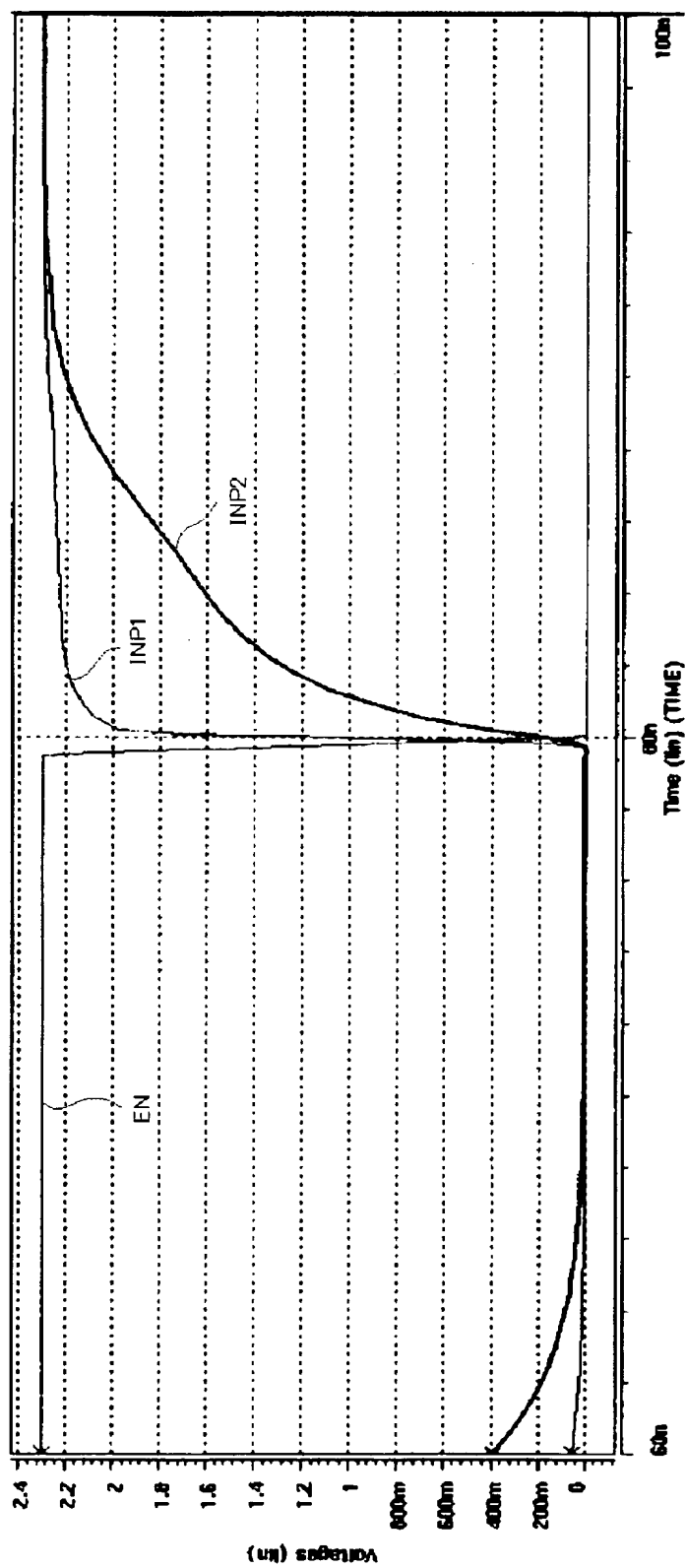


【図 11】

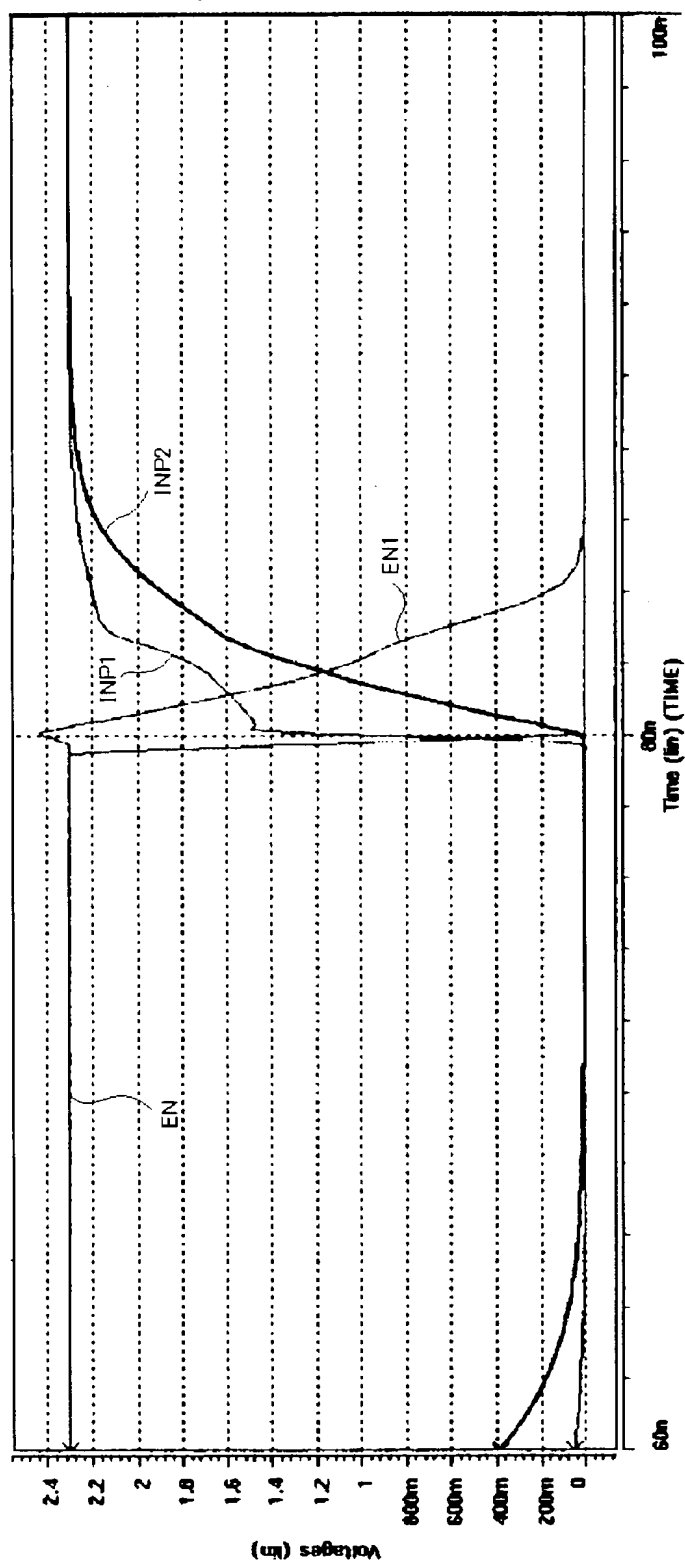




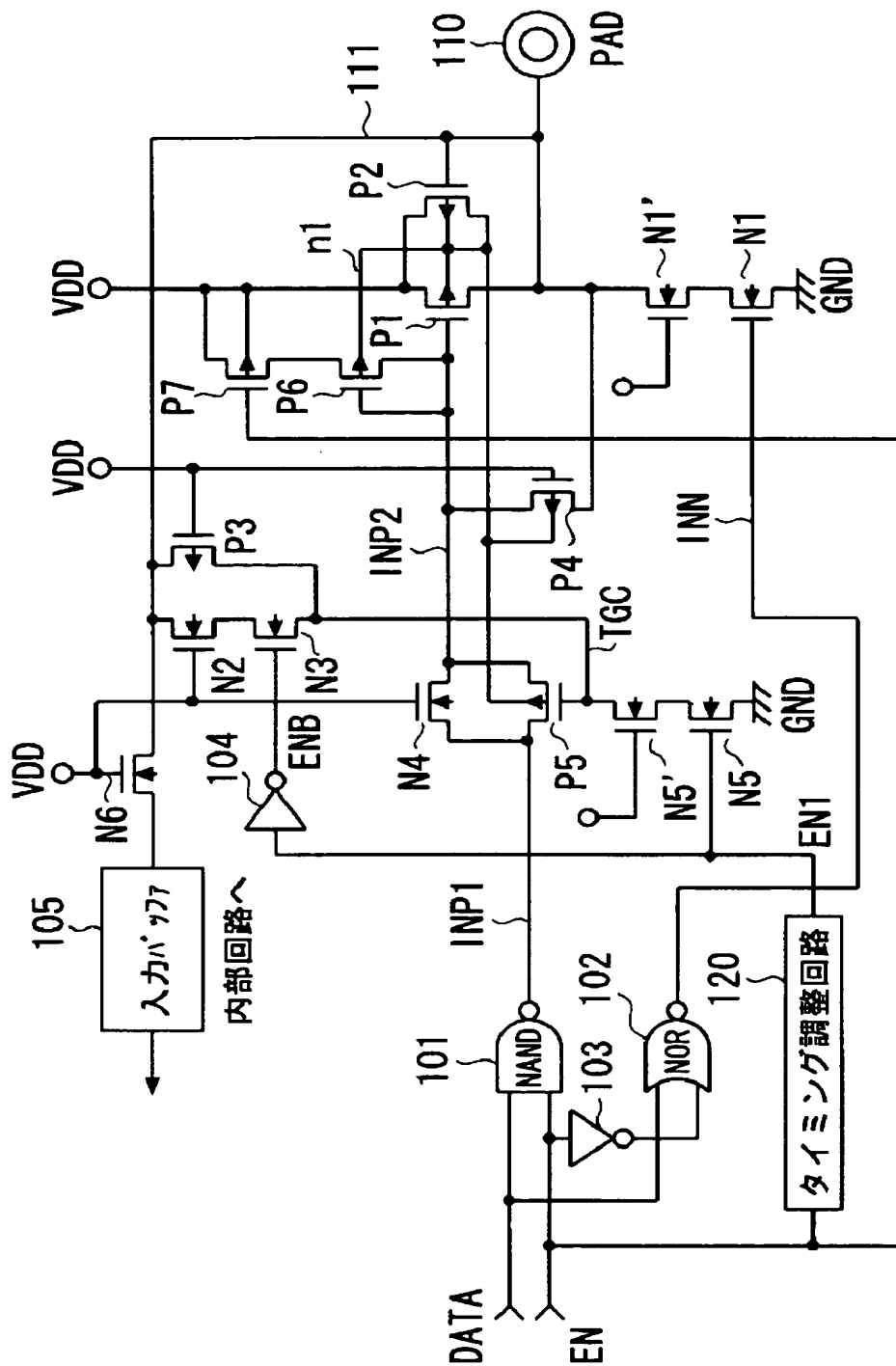
【図 12】



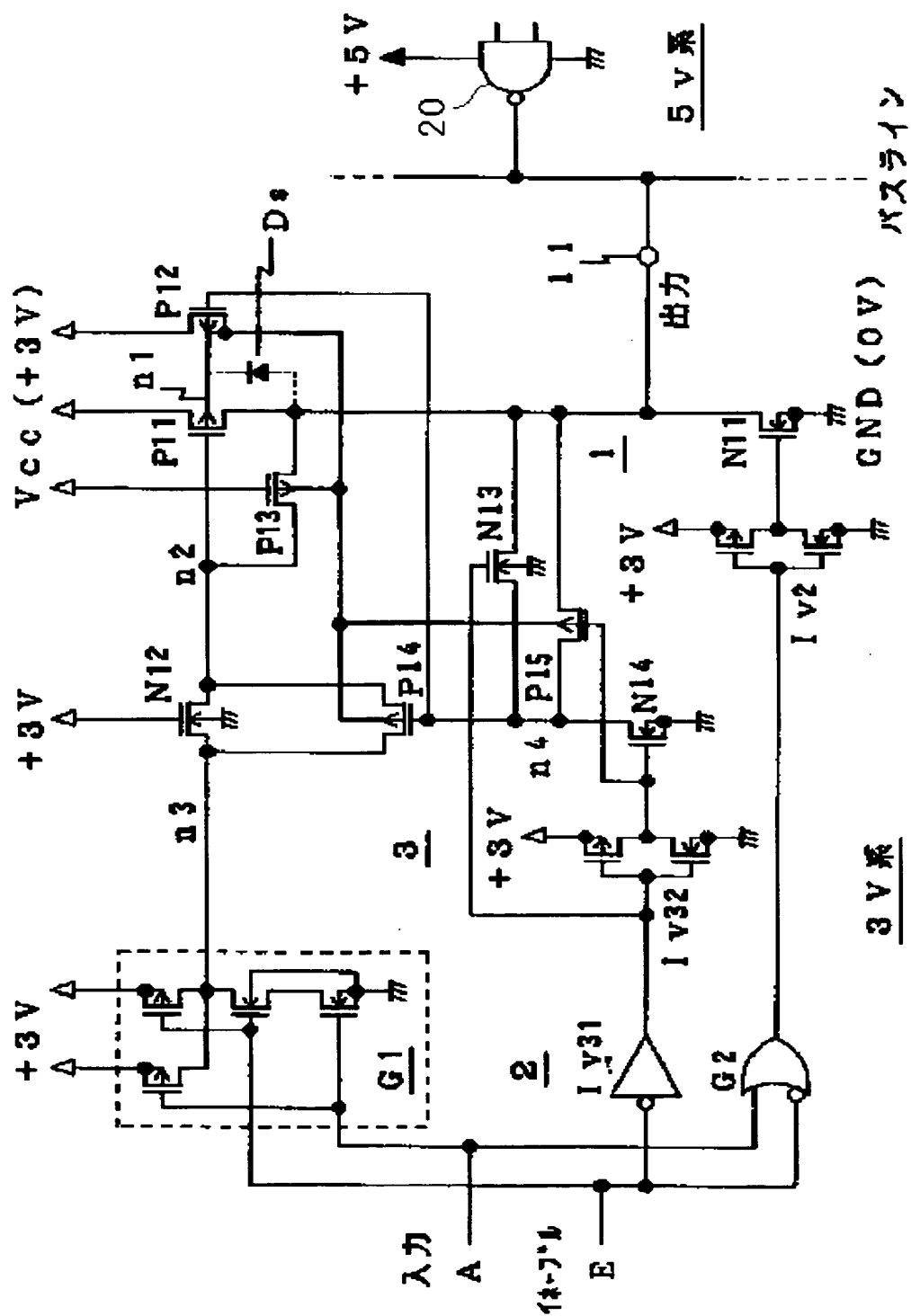
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】

トレラントバッファ回路を備えた半導体装置において、出力モードから入力モードに切り替わったとき、プルアップ側のトランジスタを高速にオフ状態とする装置の提供。

【解決手段】

出力段に、プルアップ駆動用の第 1 のトランジスタ（P 1）とプルダウン駆動用の第 2 のトランジスタ（N 1）とを少なくとも備え、制御信号（E N）がイネーブル状態を示すとき、データ信号に応じて出力を高レベル又は低レベルとし、制御信号（E N）がディスエーブル状態を示すとき、出力を高インピーダンス状態とするトリステートバッファ回路を有する半導体装置において、制御信号（E N）のイネーブル状態からディスエーブル状態への切り替え時に、第 1 のトランジスタ（P 1）のオン状態からオフ状態への遷移を速めるように制御する手段（1 2 0、P 6、P 7）を備えている。

【選択図】

図 1

特願 2 0 0 3 - 1 2 1 4 8 0

出 願 人 履 歴 情 報

識別番号 [ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日	2 0 0 2 年 1 1 月 1 日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区下沼部 1 7 5 3 番地
氏 名	N E C エレクトロニクス株式会社

特願 2 0 0 3 - 1 2 1 4 8 0

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 2 3 2 0 3 6 ]

1. 変更年月日 2 0 0 1 年 5 月 2 1 日  
[変更理由] 名称変更  
住 所 神奈川県川崎市中原区小杉町 1 丁目 4 0 3 番 5 3  
氏 名 エヌイーシーマイクロシステム株式会社
2. 変更年月日 2 0 0 3 年 7 月 3 0 日  
[変更理由] 名称変更  
住 所 神奈川県川崎市中原区小杉町 1 丁目 4 0 3 番 5 3  
氏 名 N E C マイクロシステム株式会社